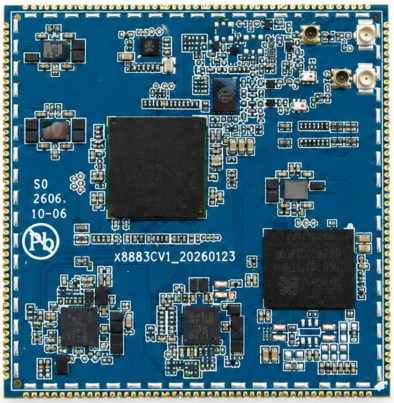
MT8883 核心板

开发手册



型号：MT8883CV1　版本：V1.0　日期：2026 年 10 月

八核 CPU · 24 TOPS NPU · PoP LPDDR5X · UFS 4.0

本手册面向核心板选型、底板设计、系统调试与量产导入的硬件工程师，
给出接口定义、电源架构、PCB 设计约束与软件资源说明。

深圳市九鼎创展科技有限公司
www.9tripod.com

版权声明

本手册版权归属深圳市九鼎创展科技有限公司所有，并保留一切权利。非经九鼎创展书面同意，任何单位及个人不得擅自摘录本手册部分或全部内容，违者将被追究法律责任。

本手册所载信息力求准确可靠，但产品与资料会持续更新。九鼎创展保留在不另行通知的情况下修改产品、规格与文档的权利。请在 www.9tripod.com 获取最新版本。

版本说明

版本	日期	作者	说明
V1.0	2026-10-26	九鼎创展	首次发布，基于 MT8883_CV1_20260123 原理图整理

技术支持

如果您对本手册或产品有疑问，可在办公时间（周一至周五 9:00–12:00，13:30–18:00）通过以下方式联系技术支持。

项目	内容
公司	深圳市九鼎创展科技有限公司
地址	深圳市宝安区西乡街道龙腾社区汇智研发中心 B 座 1505-1508 室
电话	0755-33121205
技术支持	19925219487
邮箱	supports@9tripod.com
网址	http://www.9tripod.com
论坛	http://bbs.9tripod.com
淘宝	http://armeasy.taobao.com
淘宝	http://easyarm.taobao.com

说明：产品规格、接口定义与软件版本可能随批次和固件更新而变化。进行底板投板、量产导入或整机认证前，请与九鼎创展确认最新资料。

目 录

第 1 章 产品概述 1
1.1 产品简介 1
1.2 核心特性 1
1.3 系统框图 2
1.4 结构形式 2
1.5 接口资源 4
1.6 配置选项 5
1.7 应用场景 5
1.8 引脚定义 5
第 2 章 硬件架构 6
2.1 电源架构 6
2.2 上电时序 6
2.3 调试接口 6
第 3 章 接口资源 7
3.1 显示接口 7
3.2 摄像头接口 8
3.3 USB 接口 9
3.4 PCIe 接口 9
3.5 系统控制、传感器与按键 10
3.6 音频接口 11
3.7 存储与 SD 卡接口 12
3.8 低速接口与 GPIO 13
3.9 接口复用与冲突 13
第 4 章 PCB 设计与 Layout 指南 14
4.1 阻抗控制 14
4.2 高速差分接口 14
4.3 天线与射频设计 14

4.4 底板设计检查清单 15
第 5 章 软件与系统开发 16
5.1 支持的操作系统 16
5.2 驱动支持 16
5.3 调试与故障排查 17
第 6 章 评估底板与接口速查 18
6.1 评估底板接口图 18
6.2 接口编号速查 19
6.3 典型应用建议 19
第 7 章 订货与技术支持 20
7.1 订货配置 20
7.2 技术支持 20
附录 A 其他产品介绍 21
核心板系列 21
开发板系列 22
卡片电脑系列 23
附录 B 术语与缩写 24
附录 C 版本记录 25
附录 D MT8883 核心板对外接口信号 26

第 1 章 产品概述

1.1 产品简介

MT8883 核心板（型号 X8883CV1）是深圳市九鼎创展科技有限公司基于联发科（MediaTek）MT8883 处理器设计的高集成度核心板。核心板采用 PoP（Package on Package）叠层封装，板载 LPDDR5/LPDDR5X 内存、UFS 4.0 存储、MT6363/MT6368 多路 PMIC 与 3 颗 MT6319 多相 Buck，并集成 MT6375 充电管理与 MT6685 Wi-Fi/BT/GNSS，通过高密度板对板连接器引出显示、摄像头、USB、PCIe、音频、SIM 与扩展 GPIO 等资源。

MT8883 采用 4nm 工艺，CPU 为 4×Cortex-A715（1×3.0 GHz + 3×2.8 GHz）+ 4×Cortex-A510 @2.0 GHz 的八核异构架构，集成 Arm Mali-G615 MC6 GPU 与第 7 代 MediaTek NPU（24 TOPS），内置 5G Rel.16 调制解调器、2×2 Wi-Fi 6E、蓝牙 5.3 与双频 GNSS，支持双路 MIPI DSI（最高 3200×2000@144Hz）与最高 200MP ISP，可运行 Android 与 Linux。核心板面向 5G 智能终端、边缘 AI、工业物联网、机器人与智能显示等场景。

1.2 核心特性

- **八核异构计算：4×Cortex-A715 @3.0/2.8 GHz + 4×Cortex-A510 @2.0 GHz，Arm v9 性能与能效兼顾。**
- **24 TOPS NPU：第 7 代 APU，支持 INT4/INT8/FP16 多精度推理与边缘生成式 AI（GenAI）。**
- **Mali-G615 MC6 GPU @900 MHz：支持 Vulkan、OpenCL，满足图形界面与轻量 3D 应用。**
- **PoP LPDDR5/5X：4×16bit @8533 Mbps，PoP 叠层封装，板载不对外引出。**
- **UFS 4.0 存储：板载 UFS 4.0 + MCQ，高速启动与读写。**
- **封装与连接：MT8883 为 POP1310、32×35mm 级高密度 BGA，板载 PMIC/存储/无线于一体。**
- **显示接口：双路 MIPI DSI（DSI0/DSI1），最高 3200×2000@144Hz，支持 DP 4K60。**
- **摄像头接口：最高 200MP ISP，多路 MIPI CSI-2，支持多摄与双目视觉。**
- **高速接口：1×USB 3.2 Gen1 双角色（支持 DP Alt Mode）、1×PCIe Gen3 单通道。**
- **电源与工艺：板载 MT6363/6368 PMIC + MT6319 多相 Buck；核心板只消耗电源，不向底板输出电源。**
- **软件平台：Android 16 与 Linux/Yocto（kernel-6.1），提供显示、摄像头、USB、PCIe、Wi-Fi/BT、音频等驱动支持。**

1.3 系统框图

图 1-1 为 X8883CV1 核心板的系统框图。核心板以 MT8883 SoC 为中心，板载 PoP 内存、UFS、PMIC 与无线连接，对外经板对板连接器引出 DSI、CSI、USB、PCIe、音频、SIM 与 GPIO。该图用于理解资源划分，具体连接以原理图为准。

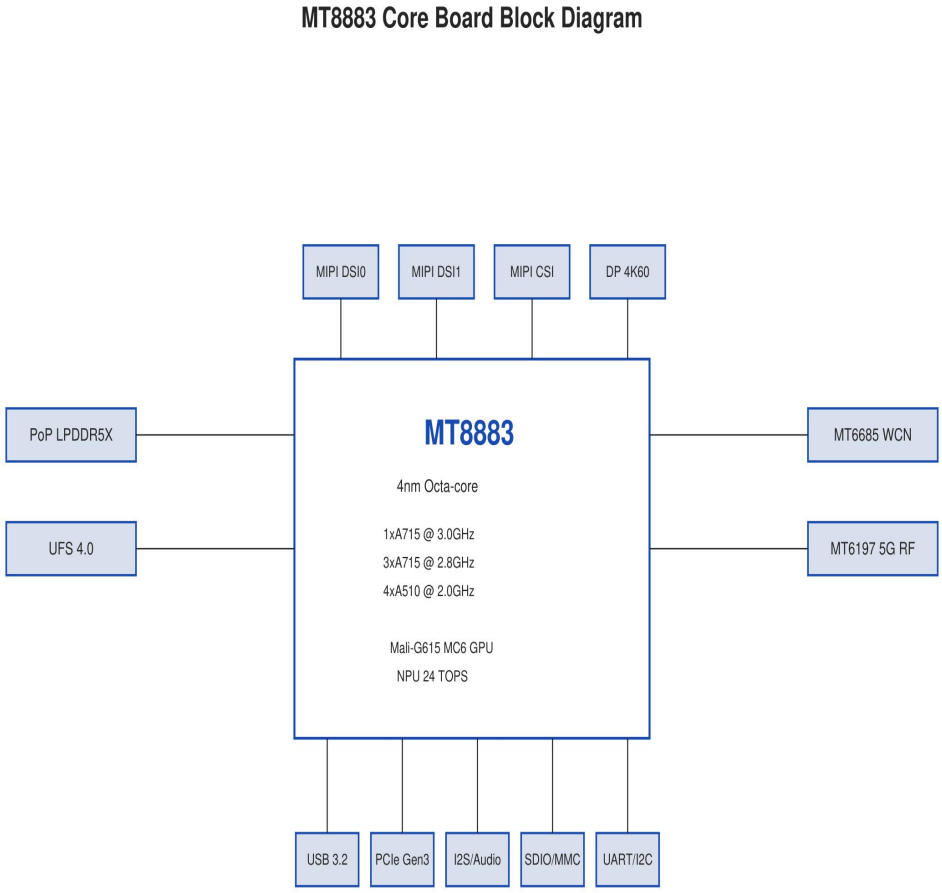


图 1-1 X8883CV1 核心板系统框图

1.4 结构形式

核心板采用 200PIN 邮票孔封装。IO 对外通过 200PIN 邮票孔封装连接器与底板对接。核心板封装尺寸与禁布区以文件为准。

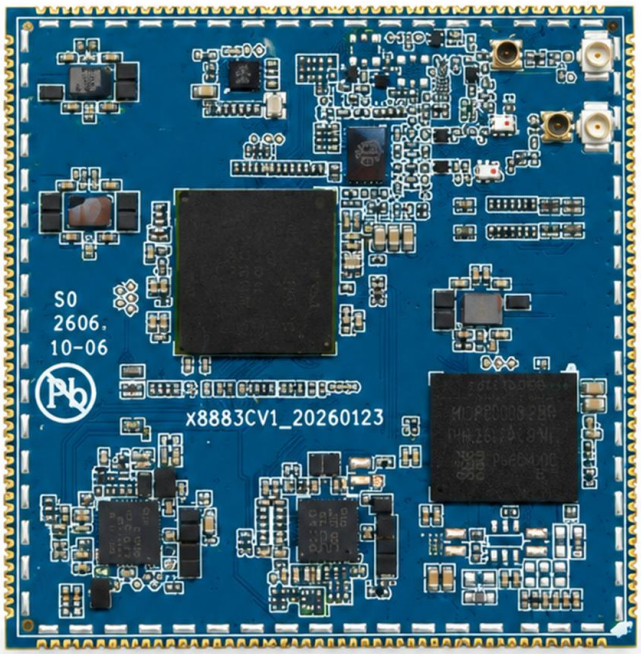


图 1-2 X8883CV1 结构示意（顶层）

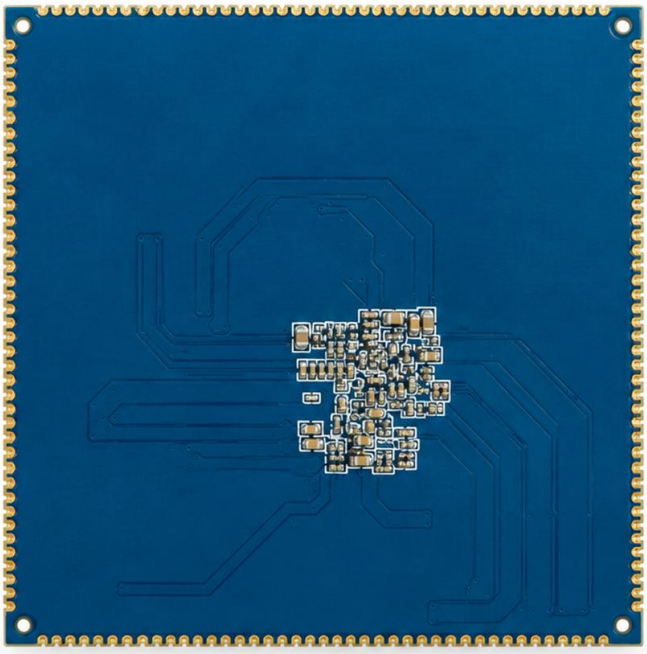


图 1-3 X8883CV1 结构示意（底层）

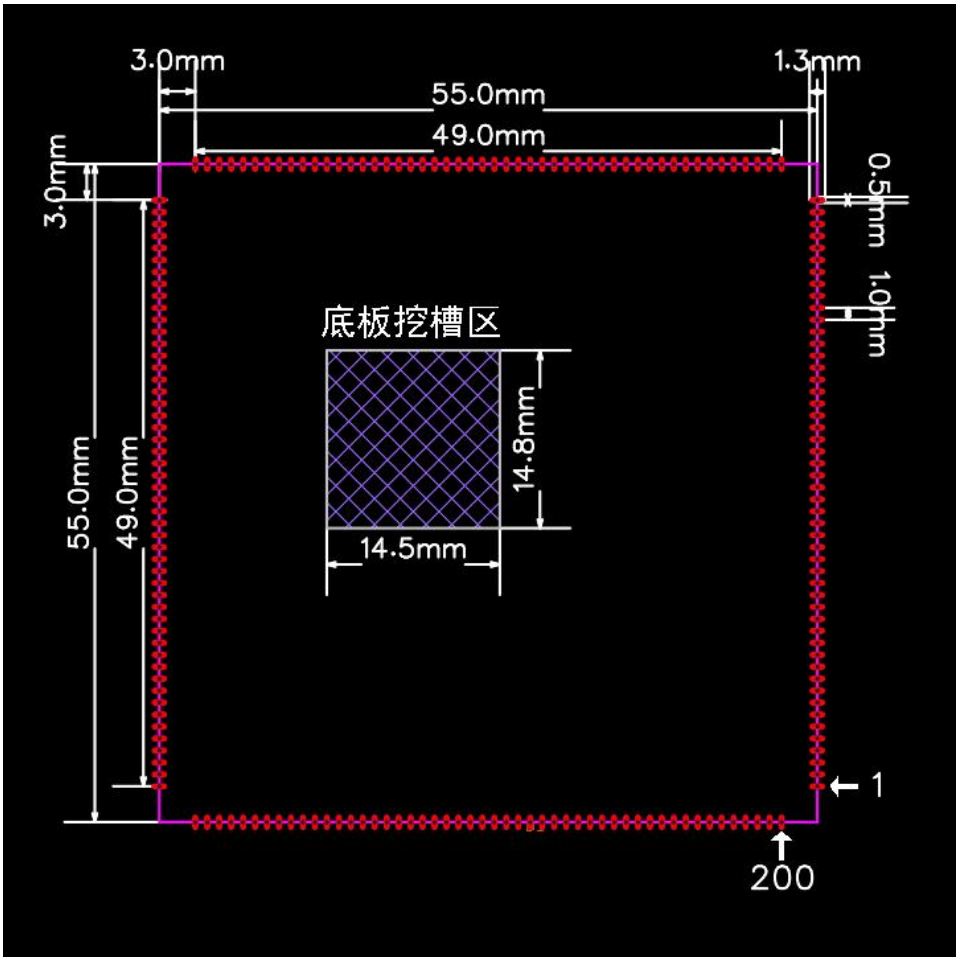


图 1-4 核心板结构参数

1.5 接口资源

表 1-2 汇总了核心板可提供的接口资源。表中“可用”表示 SoC 具备对应控制器并已引出；实际能否同时使用，取决于引脚复用、底板电路与软件配置。

表 1-2 核心板接口资源

接口类别	资源与说明
显示输出	双路 MIPI DSI（DSI0/DSI1），最高 3200×2000@144Hz；支持 DP 4K60
摄像头	多路 MIPI CSI-2，最高 200MP ISP，支持多摄/双目
USB	1×USB 3.2 Gen1 双角色（DRD），兼容 USB2.0，支持 DP Alt Mode
PCIe	1×PCIe Gen3 单通道，用于 NVMe/高速外设扩展
蜂窝	5G NR Sub-6GHz（Rel.16，3CC）+ 4G Cat.18，双 SIM
Wi-Fi/BT/GNSS	板载 MT6685：2×2 Wi-Fi 6E、蓝牙 5.3、GNSS L1+L5
音频	I2S/PCM 数字音频 + 模拟 Audio Codec（耳机/麦克风）
存储	板载 UFS 4.0；MSDC1 可扩展 SD/TF 卡
低速扩展	4×UART、7×I2C、8×SPI、4×PWM、多路 GPIO/I3C

接口类别	资源与说明
调试	调试 UART；USB 下载模式（BOOT 键）
电源输入	VBUS（5V 适配器/USB）+ VBAT（电池），板载 PMIC

1.6 配置选项

核心板默认配置为 PoP LPDDR5/5X 8GB + UFS 3.0 128GB。可根据项目需要选择更大内存或存储容量；订货前请与九鼎创展确认物料状态、批量与交期。

表 1-3 核心板配置选项

配置项	标准配置	可选配置	说明
内存	PoP LPDDR5/5X 8GB	12/16/24GB	4×16bit@8533Mbps，PoP 叠层不引出
存储	UFS 4.0 64GB	128/256GB	板载，支持 MCQ
操作系统	Android	Linux	以发布固件为准
工作温度	-20~75°C	工业级可选	宽温项目需热测试

1.7 应用场景

MT8883 核心板适合需要较强 CPU/NPU 算力、丰富显示/摄像头接口，同时对尺寸与功耗有约束的嵌入式设备。典型应用包括：

- 边缘 AI 与机器人：24 TOPS NPU、多路 MIPI CSI，用于视觉识别、SLAM 与运动控制。
- 工业物联网与人机界面：双路 MIPI DSI 显示、多串口/多 I2C、宽温与长时间供货。
- 智能零售与自助终端：USB/PCIe 外设、二维码扫描、打印与支付模块。
- 视频采集与医疗显示：多路摄像头 ISP、双屏显示、音频输入输出。
- 车载与轨交移动终端：5G 通信、电池供电、抗振动设计（需整车级认证）。

1.8 引脚定义

核心板对外经板对板连接器引出显示、摄像头、USB、PCIe、音频、SIM、电源与 GPIO。各接口的引脚编号、信号名称与电源域见第 3 章对应表格；

> **说明：若本手册与最新原理图、引脚定义表或产品规格书存在差异，以最新版受控资料为准。量产导入前建议进行电源、时序、显示与高速接口的专项评审。**

第 2 章 硬件架构

2.1 电源架构

核心板采用“板载 PMIC”供电架构：底板经 VSYS 输入 4V，板内 MT6375 充电管理多相 Buck 产生内核、GPU/NPU、DDR、IO 与模拟电源。核心板不向外板输出大电源只输出 2.8V 和 1.8V 用在外设上拉等小电流设计,底板上屏幕背光、摄像头、USB VBUS、Codec 等外设电源须自行设计。

表 2-1 列出主要电源域及其来源。底板设计时应把核心板电源引脚做滤波去耦处理，不能把板内 PMIC 输出当作底板外设供电，防止电源影响核心板正常工作。

表 2-1 核心板主要电源域

电源域	典型值	来源/方向	主要负载	设计注意
VSYS	4V	底板 → 核心板	整块核心板	电流按峰值留 3A 余量
VIO18 / VIO28_PMU	1.8V / 2.8V	核心板 → 底板	IO/模拟	低电流
VMCH_PMU	3.3V	核心板 → 底板	SD 卡供电	低噪声
VSYS_S	4V	底板 → 核心板	电压检测	低噪声

2.2 上电时序

核心板上电由板载 PMIC 按 MT8883 固定电源时序自动管理：VSYS 给 4V 后，PMIC 按序列建立各路 Buck/LDO,并通过 VSYS_S 检测供电电压。底板只需提供稳定 VSYS 与 VSYS_S，无需复位和开机按键

开机顺序：核心板开机前应禁止外设向核心板 IO 灌电。底板提供 VSYS 和 VSYS_S 并保持稳定。

掉电顺序：VSYS 和 VSYS_S 直接断电。

2.3 调试接口

核心板引出调试 UART 用于 Bootloader、内核与文件系统日志。调试座采用 4-pin 1.25 间距排针，引脚顺序为 GND、RX、TX、3V3（以丝印为准）；PC 侧使用 USB 转 TTL 工具，注意 TX/RX 交叉。

调试串口默认参数通常为 921600-8-N-1，具体以固件配置为准。烧录前将拨动开关拨到接地档位，通过 USB（Type-C）配合 BOOT 键上电进入下载模式。若上电无输出，应按“VSYS→VSYS_S→KPCOL0(BOOT)→启动介质→串口电平”顺序排查。

第 3 章 接口资源

本章按功能说明核心板引出的主要接口、关键信号与底板设计要点。接口能否同时使用取决于引脚复用与软件配置；涉及复用的接口在第 3.10 节集中说明。所有差分阻抗、走线长度与防护要求应在原理图评审和 PCB 评审中逐项确认。

3.1 显示接口

MT8883 提供双路 MIPI DSI（DSI0/DSI1）显示输出，并支持 DP 4K60。DSI 适合手机/平板/工控类 MIPI 屏，两路可双屏异显。显示时钟与数据均为高速差分信号，底板布线应保证参考平面完整、阻抗连续与 ESD 防护。

3.1.1 MIPI DSI 显示

DSI 用于连接 MIPI 接口显示屏，包含时钟差分对、4 对数据差分对、TE、复位、背光 PWM/EN 与面板电源使能。核心板引出 DSI0 与 DSI1 两路，可分别驱动两块屏。

底板设计建议：DSI 差分对按 100 Ω 阻抗控制，差分对内等长，参考平面完整；TE/复位/背光控制单独走线；背光电源在底板独立升压/恒流，避免与核心板电源共用导致屏闪；连接器加 ESD。

3.1.2 DP 输出

USB/DP 复用通道支持 DP 4K60 输出，可经 Type-C Alt Mode 连接显示器或转接板。DP AUX 按 100 Ω 控制。

底板设计建议：Type-C 连接器靠近核心板，DP 主通道按 90 Ω 控制，CC 按角色配置，AUX 加 ESD。

3.1.3 面板控制

面板的 TE、RST、背光 PWM/EN、面板电源使能通过 GPIO 引出，由底板转接至屏 FPC。不同屏幕的上电时序与背光要求需在设备树中适配。

面板控制信号应靠近屏座布置，加 RC 滤波与 ESD；面板电源使能与背光使能顺序需符合屏幕规格书。

表 3-1 显示接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
DSI1	2	DSI1_D2P_T0C	VDDIO	1.8
DSI1	3	DSI1_D2N_T0B	VDDIO	1.8
DSI1	4	DSI1_D0P_T0C	VDDIO	1.8
DSI1	5	DSI1_D0N_T1A	VDDIO	1.8
DSI1	6	DSI1_CK0P_T1B	VDDIO	1.8
DSI1	7	DSI1_CK0N_T1C	VDDIO	1.8
DSI1	8	DSI1_D1P_T2A	VDDIO	1.8
DSI1	9	DSI1_D1N_T2B	VDDIO	1.8
DSI1	10	DSI1_D3P_T2C	VDDIO	1.8
DSI1	11	DSI1_D3N	VDDIO	1.8
DSI0	13	DSI0_D2P_T0A	VDDIO	1.8
DSI0	14	DSI0_D2N_T0B	VDDIO	1.8
DSI0	15	DSI0_D0P_T0C	VDDIO	1.8
DSI0	16	DSI0_D0N_T1A	VDDIO	1.8
DSI0	17	DSI0_CK0P_T1B	VDDIO	1.8
DSI0	18	DSI0_CK0N_T1C	VDDIO	1.8
DSI0	19	DSI0_D1P_T2A	VDDIO	1.8
DSI0	20	DSI0_D1N_T2B	VDDIO	1.8
DSI0	21	DSI0_D3P_T2C	VDDIO	1.8
DSI0	22	DSI0_D3N	VDDIO	1.8
Panel/Touch	53	DSI_TE	VDDIO	1.8
Panel/Touch	54	LCM_RST	VDDIO	1.8
Panel/Touch	55	GPIO_CTP0_RST	VDDIO	1.8
Panel/Touch	56	EINT_CTP0	VDDIO	1.8
Panel/Touch	142	DISP_PWM1	VDDIO	1.8
Panel/Touch	143	DISP_PWM	VDDIO	1.8

3.2 摄像头接口

核心板提供多路 MIPI CSI-2 摄像头接口，支持最高 200MP ISP。每路包含时钟差分对、数据差分对、MCLK、I2C 控制、复位与 PWDN，可连接高清摄像头或多目视觉模组。

CSI 差分对按 100 Ω 控制，时钟与数据对之间、lane 之间等长；MCLK 远离 DCDC 电感与高速开关节点；I2C 上拉接到摄像头 IO 电源；摄像头连接器加 ESD。

表 3-2 MIPI CSI 摄像头接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
CAM	65	CAM_CLK1	VDDIO_CAM	1.8
CAM	66	CAM_CLK4	VDDIO_CAM	1.8
CAM	67	CAM_I3C_SCL2	VDDIO_CAM	1.8
CAM	68	CAM_I3C_SDA2	VDDIO_CAM	1.8
CAM	69	CAM_RST1	VDDIO_CAM	1.8
CAM	70	CAM_I3C_SCL4	VDDIO_CAM	1.8
CAM	71	CAM_I3C_SDA4	VDDIO_CAM	1.8
CAM	72	R_CAM3_RST0	VDDIO_CAM	1.8
CSI3	81	CSI3A_L0P_T0A	VDDIO_CAM	1.8
CSI3	82	CSI3A_L0N_T0B	VDDIO_CAM	1.8
CSI3	83	CSI3A_L1P_T0C	VDDIO_CAM	1.8
CSI3	84	CSI3A_L1N_T1A	VDDIO_CAM	1.8
CSI3	85	CSI3A_L2P_T1B	VDDIO_CAM	1.8
CSI3	86	CSI3A_L2N_T1C	VDDIO_CAM	1.8
CSI3	87	CSI3B_L0P_T0A	VDDIO_CAM	1.8
CSI3	88	CSI3B_L0N_T0B	VDDIO_CAM	1.8
CSI3	89	CSI3B_L1P_T0C	VDDIO_CAM	1.8
CSI3	90	CSI3B_L1N	VDDIO_CAM	1.8
CSI2	92	CSI2A_L0P_T0A	VDDIO_CAM	1.8
CSI2	93	CSI2A_L0N_T0B	VDDIO_CAM	1.8
CSI2	94	CSI2A_L1P_T0C	VDDIO_CAM	1.8
CSI2	95	CSI2A_L1N_T1A	VDDIO_CAM	1.8
CSI2	96	CSI2A_L2P_T1B	VDDIO_CAM	1.8
CSI2	97	CSI2A_L2N_T1C	VDDIO_CAM	1.8
CSI2	98	CSI2B_L0P_T0A	VDDIO_CAM	1.8
CSI2	99	CSI2B_L0N_T0B	VDDIO_CAM	1.8
CSI2	100	CSI2B_L1P_T0C	VDDIO_CAM	1.8

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
CSI2	101	CSI2B_L1N	VDDIO_CAM	1.8
CSI1	103	CSI1A_L0P_T0A	VDDIO_CAM	1.8
CSI1	104	CSI1A_L0N_T0B	VDDIO_CAM	1.8
CSI1	105	CSI1A_L1P_T0C	VDDIO_CAM	1.8
CSI1	106	CSI1A_L1N_T0A	VDDIO_CAM	1.8
CSI1	107	CSI1A_L2P_T0B	VDDIO_CAM	1.8
CSI1	108	CSI1A_L2N_T0C	VDDIO_CAM	1.8
CSI1	109	CSI1B_L0P_T0A	VDDIO_CAM	1.8
CSI1	110	CSI1B_L0N_T0B	VDDIO_CAM	1.8
CSI1	111	CSI1B_L1P_T0C	VDDIO_CAM	1.8
CSI1	112	CSI1B_L1N	VDDIO_CAM	1.8
CSI0	114	CSI0A_L0P_T0A	VDDIO_CAM	1.8
CSI0	115	CSI0A_L0N_T0B	VDDIO_CAM	1.8
CSI0	116	CSI0A_L1P_T0C	VDDIO_CAM	1.8
CSI0	117	CSI0A_L1N_T0A	VDDIO_CAM	1.8
CSI0	118	CSI0A_L2P_T0B	VDDIO_CAM	1.8
CSI0	119	CSI0A_L2N_T0C	VDDIO_CAM	1.8
CSI0	120	CSI0B_L0P_T0A	VDDIO_CAM	1.8
CSI0	121	CSI0B_L0N_T0B	VDDIO_CAM	1.8
CSI0	122	CSI0B_L1P_T0C	VDDIO_CAM	1.8
CSI0	123	CSI0B_L1N	VDDIO_CAM	1.8
CAM	125	CAM_CLK3	VDDIO_CAM	1.8
CAM	126	CAM_RST2	VDDIO_CAM	1.8
CAM	127	CAM_CLK2	VDDIO_CAM	1.8
CAM	128	CAM_I3C_SCL8	VDDIO_CAM	1.8
CAM	129	CAM_RST3	VDDIO_CAM	1.8
CAM	130	CAM_I3C_SDA8	VDDIO_CAM	1.8
CAM	131	EINT_CAM_PMIC1_IRQB	VDDIO_CAM	1.8
CAM	132	CAM_I3C_SCL9	VDDIO_CAM	1.8
CAM	133	CAM_I3C_SDA9	VDDIO_CAM	1.8

3.3 USB 接口

核心板提供 1 路 USB 3.2 Gen1 双角色（DRD）接口，兼容 USB 2.0，支持 Host/Device 切换与 DP Alt Mode，可用于系统烧录、ADB、外接显示器与 USB 外设。

USB3.2 SuperSpeed 差分对按 90 Ω 控制，USB2.0 D+/D- 按 90 Ω 控制；Type-C CC 按角色配置下拉/上拉，VBUS 加 ESD 与限流；DP AUX 按 100 Ω 控制。

表 3-3 USB 接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
USB2	159	USB_DP	VDDIO	1.8
USB2	160	USB_DM	VDDIO	1.8
USB3/DP	161	SSUSB_TXP_P2	VDDIO	1.8
USB3/DP	162	SSUSB_TXN_P2	VDDIO	1.8
USB3/DP	163	SSUSB_RXP_P2	VDDIO	1.8
USB3/DP	164	SSUSB_RXN_P2	VDDIO	1.8
USB3/DP	165	DP_AUXN	VDDIO	1.8
USB3/DP	166	DP_AUXP	VDDIO	1.8
USB3/DP	167	SSUSB_TXP_P1	VDDIO	1.8
USB3/DP	168	SSUSB_TXN_P1	VDDIO	1.8
USB3/DP	169	SSUSB_RXP_P1	VDDIO	1.8
USB3/DP	170	SSUSB_RXN_P1	VDDIO	1.8

3.4 PCIe 接口

核心板提供 1 路 PCIe Gen3 单通道，可用于 NVMe SSD、PCIe 网卡、采集卡等高速外设。

PCIe Gen3 差分对按 85 Ω 控制，参考时钟按 100 Ω 控制；TX 端加 AC 耦合电容；PERST#、WAKE#、CLKREQ# 加上拉/下拉与 ESD；连接器与核心板间走线尽量短。

表 3-4 PCIe 接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
PCIe	60	PCIE_CLKREQN	VDDIO	1.8
PCIe	61	PCIE_WAKEN	VDDIO	1.8
PCIe	62	PCIE_PERSTN	VDDIO	1.8
PCIe	74	PCIE_LN0_TXP	VDDIO	1.8
PCIe	75	PCIE_LN0_TXN	VDDIO	1.8
PCIe	76	PCIE_LN0_RXP	VDDIO	1.8
PCIe	77	PCIE_LN0_RXN	VDDIO	1.8
PCIe	78	PCIE_CKP	VDDIO	1.8
PCIe	79	PCIE_CKN	VDDIO	1.8

3.5 系统控制、传感器与按键

系统控制、传感器、按键与调试信号集中在 31–52、57–58、63–64、134–149 段。表 3-6 按 200PIN 引脚定义逐脚列出；表中未标注具体复用功能的引脚，可先保留为空，待底板方案确定后补充。

表 3-6 系统控制、传感器与按键引脚

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
I3C0	31	I3C_SDA0	VDDIO	1.8
I3C0	32	I3C_SCL0	VDDIO	1.8
PERI_EN	33	PERI_EN0	VDDIO	1.8
PERI_EN	34	PERI_EN1	VDDIO	1.8
System	35	SRCLKENA0	VDDIO	1.8
System	36	SYSRSTB	VDDIO	1.8
System	37	WATCHDOG	VDDIO	1.8
System	38	RTC32K_1V8_F	VDDIO	1.8
SCP	39	SCP_EINT0	VDDIO	1.8
SCP	40	SCP_I3C_SCL3	VDDIO	1.8
SCP	41	SCP_I3C_SDA3	VDDIO	1.8
SCP	42	SCP_EINT1	VDDIO	1.8
SCP	43	SCP_I3C_SCL0	VDDIO	1.8
SCP	44	SCP_I3C_SDA0	VDDIO	1.8
SCP	45	SCP_EINT_A_GYRO1	VDDIO	1.8
SCP	46	SCP_EINT_ALSPS	VDDIO	1.8
SPI2	47	SPI2_MO	VDDIO	1.8
SPI2	48	SPI2_MI	VDDIO	1.8
SPI2	49	SPI2_CK	VDDIO	1.8
SPI2	50	SPI2_CSB	VDDIO	1.8
GPIO	51	BPI_D_BUS18	VDDIO	1.8
GPIO	52	BPI_D_BUS19	VDDIO	1.8
GPIO	57	BPI_D_BUS17	VDDIO	1.8
GPIO	58	BPI_D_BUS16	VDDIO	1.8
GPIO	63	BPI_D_BUS5	VDDIO	1.8
GPIO	64	BPI_D_BUS4	VDDIO	1.8
AP_GOOD	134	AP_GOOD	VDDIO	1.8
Keypad	135	KPCOL1	VDDIO	1.8
Keypad	136	KPCOL0	VDDIO	1.8
Keypad	137	KPROW1	VDDIO	1.8
Keypad	138	KPROW0	VDDIO	1.8
GPIO	139	BPI_D_BUS6	VDDIO	1.8
UART0	140	UTXD0	VDDIO	1.8
UART0	141	URXD0	VDDIO	1.8
I3C7	144	I3C_SCL7/MIPI3_D_SCLK	VDDIO	1.8
I3C7	145	I3C_SDA7/MIPI3_D_SDATA	VDDIO	1.8
I2C6	146	I2C_SCL6/MIPI2_D_SCLK	VDDIO	1.8
I2C6	147	I2C_SDA6/MIPI2_D_SDATA	VDDIO	1.8
GPIO	148	BPI_D_BUS12	VDDIO	1.8
PWRKEY	149	PWRKEY	VDDIO	1.8

3.6 音频接口

核心板提供 I2S/PCM 数字音频，并引出模拟 Audio Codec 接口（耳机输出 AU_HP、麦克风输入 AU_MIC、AU_VNA 等），底板搭配 Codec、功放、耳机座与麦克风。模拟音频质量取决于 Codec、电源、地与布局。

I2S 的 MCLK/SCLK/LRCK/SDO/SDI 按 50 Ω 单端控制，远离高速差分；功放电源独立并加 LC 滤波；耳机检测与麦克风输入加去抖与 ESD。

表 3-7 音频接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
I2S1	59	I2S1_LRCK	AVDD_AUD	1.8
I2S2	150	I2S2_DO	AVDD_AUD	1.8
I2S2	151	I2S2_DI	AVDD_AUD	1.8
I2S2	152	I2S2_LRCK	AVDD_AUD	1.8
I2S2	153	I2S2_BCK	AVDD_AUD	1.8
I2S0	154	I2S0_DO	AVDD_AUD	1.8
I2S0	155	I2S0_DI	AVDD_AUD	1.8
I2S0	156	I2S0_LRCK	AVDD_AUD	1.8
I2S0	157	I2S0_BCK	AVDD_AUD	1.8
Audio	177	HP_EINT	AVDD_AUD	1.8
Audio	178	AU_HSN/AU_LOLP	AVDD_AUD	1.8
Audio	179	AU_HSP/AU_LOLN	AVDD_AUD	1.8
Audio	180	AU_HP_R	AVDD_AUD	1.8
Audio	181	AU_REFN	AVDD_AUD	1.8
Audio	182	AU_HP_L	AVDD_AUD	1.8
Audio	183	ACCDET	AVDD_AUD	1.8
Audio	184	AU_MICBIAS0	AVDD_AUD	1.8
Audio	185	AU_MICBIAS1	AVDD_AUD	1.8
Audio	186	AU_MICBIAS2	AVDD_AUD	1.8
Audio	187	AU_VIN2_P	AVDD_AUD	1.8
Audio	188	AU_VIN2_N	AVDD_AUD	1.8
Audio	189	AU_VIN1_N	AVDD_AUD	1.8
Audio	190	AU_VIN1_P	AVDD_AUD	1.8
Audio	191	AU_VIN0_N	AVDD_AUD	1.8
Audio	192	AU_VIN0_P	AVDD_AUD	1.8

注：核心板引出 I2S/PCM 数字音频与模拟 Audio Codec 接口；如项目需要 SPDIF/PDM，请在设备树中选择对应复用脚，并在底板配置 Codec 与功放。

3.7 存储与 SD 卡接口

核心板板载 UFS 4.0 + MCQ 存储，底板可经 MSDC1 扩展 SD/TF 卡。MSDC 支持 4-bit 高速模式，卡座靠近核心板，CLK/DATA/CMD 按 50 Ω 控制并等长。

若产品不需要 TF 卡，可将 MSDC 用于其他外设；SD 卡热插拔应对 DAT/CMD/CLK 做 ESD，卡座外壳接地良好。

表 3-8 存储与 SD 卡接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
SDIO	24	MSDC1_DAT0	VDDIO_SD	1.8/3.3
SDIO	25	MSDC1_DAT1	VDDIO_SD	1.8/3.3
SDIO	26	MSDC1_DAT2	VDDIO_SD	1.8/3.3
SDIO	27	MSDC1_DAT3	VDDIO_SD	1.8/3.3
SDIO	28	MSDC1_CMD	VDDIO_SD	1.8/3.3
SDIO	29	MSDC1_CLK	VDDIO_SD	1.8/3.3
SDIO	193	SD_DET	VDDIO_SD	1.8/3.3

3.8 低速接口与 GPIO

低速接口的逐脚定义已按 200PIN 表列在 3.6 表 3-6；表 3-9 仅做资源数量汇总，避免与 3.6 重复。GPIO 为 1.8V 电平域，底板接 3.3V 外设时必须做电平转换。

表 3-9 低速接口资源

资源	数量	说明
调试 UART	1 路	UART0，140/141，默认 115200-8-N-1
I3C	4 组	I3C0（31/32）、I3C7（144/145）、SCP I3C0/3（40/41/43/44）、摄像头 I3C2/4/8/9
I2C	1 路	I2C6（146/147）；摄像头 I2C 见 3.2
SPI	1 路	SPI2，47–50，片选/时钟/数据
GPIO	8 路	BPI_D_BUS4/5/6/12/16/17/18/19
PWM	2 路	DISP_PWM、DISP_PWM1（142/143）
Keypad	2×2	KPROW0/1、KPCOL0/1（135–138）
系统控制	—	PWRKEY、AP_GOOD、SYSRSTB、WATCHDOG、SRCLKENA、RTC32K

3.9 接口复用与冲突

MT8883 的引脚复用灵活，同一组引脚可配置为多种功能。底板设计前应先完成“接口—控制器—引脚—电平—复用”分配表，避免原理图阶段功能冲突。表 3-10 列出重点复用关系。

表 3-10 重点接口复用关系

复用组	可选功能	设计注意事项
USB3.2 / DP Alt	USB 数据或 DP 显示	同一 Type-C 通道，按角色切换
PCM / BT UART	蓝牙音频或调试	复用 BTPCM 引脚
I2C / I3C / GPIO	传感器或控制	按功能分配
SPI / GPIO	外设或扩展	注意启动配置
MSDC / SD 卡	SD 卡或 SDIO 外设	不能同时占用同一组引脚
DSI / CPHY	D-PHY 或 C-PHY	由设备树配置

复用检查：表中只列出常见复用关系，并非全部。具体引脚复用以 MT8883 规格书、核心板原理图和设备树为准。底板原理图评审时，应逐个网络核对 IO 电平、方向、上电默认状态与复用配置。

第 4 章 PCB 设计与 Layout 指南

4.1 阻抗控制

底板设计时应把核心板到连接器的走线按表 4-1 给出的阻抗要求纳入同一套阻抗规则。

表 4-1 PCB 阻抗控制要求

信号类型	目标阻抗	备注
USB2.0 差分	90 Ω	D+/D-
USB3.2 SuperSpeed	90 Ω	RX/TX
DP AUX	100 Ω	辅助通道
PCIe Gen3	85 Ω	TX/RX
PCIe 参考时钟	100 Ω	REFCLK
MIPI DSI/CSI D-PHY	100 Ω	显示/摄像头
MIPI C-PHY	100 Ω	CSI/DSI
UFS	100 Ω	板载
蜂窝/Wi-Fi/GNSS 天线	50 Ω	射频馈线
I2S/低速	50 Ω 单端	时钟/数据等长

4.2 高速差分接口

USB3.2、PCIe、MIPI DSI/CSI、DP 等高速差分接口应遵循以下通用规则：

- 差分对尽量走同一层，避免换层；必须换层时在过孔附近放置回流地过孔。
- 差分对下方参考平面完整，不跨越分割；远离 DCDC 电感、晶振、时钟与复位线。
- 差分对内等长，建议 ≤5 mil；对间等长按协议要求，通常 ≤20 mil。
- 连接器、ESD、共模电感按信号流向排列，尽量缩短桩线；ESD 器件应靠近连接器。
- PCIe TX 加 AC 耦合电容；Type-C/USB 的 VBUS 加限流与 TVS；Type-C CC 电阻按角色配置。

USB3.2 的 SuperSpeed 收发对不要与 USB2.0 D+/D- 交叉；PCIe REFCLK 远离 TX/RX；MIPI CSI 的时钟与数据对之间保持地屏蔽；RF/蜂窝与天线走线按 50 Ω 并远离数字高速总线。

4.3 天线与射频设计

核心板无 RGMII 以太网，如需网口可经 USB/PCIe 扩展外接网卡；Wi-Fi/BT/GNSS 天线馈线按 50 Ω 控制，天线净空区不得铺铜或放置电池/金属件，模组电源独立去耦。

若产品需要 Wi-Fi/蓝牙/蜂窝认证，天线匹配、净空、接地与整机结构应在早期打样阶段验证；不要等到量产前才调整天线位置。

电池供电产品还需评估充电效率、温升与电池保护，保证 MT6375 充电回路与系统供电路径走线足够宽。

4.4 底板设计检查清单

- 叠层与阻抗：USB3.2/PCIe/MIPI/DP 是否按表 4-1 设置？
- 参考平面：高速差分下方是否完整？是否跨分割？回流地过孔是否足够？
- 电源：VBUS/VBAT 输入保护、防倒灌、各路去耦是否到位？
- 复位/启动：PWRKEY、BOOT、上下拉与拨码是否正确？
- ESD：所有外部接口（USB/Type-C/SIM/耳机/座子）是否放置 TVS？是否靠近连接器？
- 连接器：Type-C/BTB/SIM/耳机/FPC 的引脚、极性、屏蔽与固定脚是否正确？
- 射频：蜂窝/Wi-Fi/GNSS 天线净空、50Ω 走线与散热是否满足认证要求？

第 5 章 软件与系统开发

5.1 支持的操作系统

X8883CV1 支持 Android 16 与 Linux/Yocto（kernel-6.1，MediaTek Genio）。Android 适合智能终端、人机交互与多媒体；Linux/Yocto 适合工业控制、边缘计算与定制服务。具体 BSP、内核配置、设备树与驱动版本以九鼎创展发布的固件包为准。

表 5-1 支持的操作系统

系统	版本	适用场景
Android	Android 16	智能终端、人机交互、多媒体
Linux/Yocto	Yocto（kernel-6.1）	工业控制、边缘 AI、定制服务

5.2 驱动支持

表 5-2 为当前固件包的驱动支持概况。标记“●”表示已支持。实际项目应在选定固件版本后逐项验证。

表 5-2 驱动支持概况

功能	Android 15	kernel-6.1	备注
MIPI DSI 显示/触摸	●	●	以屏参与设备树为准
UFS / SD 卡	●	●	UFS 4.0；MSDC1
USB 3.2 / Type-C	●	●	DP Alt Mode
PCIe Gen3	●	●	NVMe/外设
Wi-Fi 6E / BT5.3	●	●	GNSS L1+L5
MIPI CSI 摄像头	●	●	按传感器与 ISP 调优
音频/录音	●	●	Codec/功放按底板设计
I2S/I2C/SPI/PWM/UART	●	●	按设备树配置
RTC/按键/休眠唤醒	●	●	按硬件设计
NPU / GenAI	●	●	第 7 代 APU 24TOPS
传感器 Hub SCP	●	●	低功耗传感
Uboot/烧录	●	●	USB 下载模式

驱动确认：驱动支持与具体外设型号、设备树、内核配置和固件版本强相关。表中“●”只表示平台具备对应驱动能力，不代表任意型号外设都能直接工作；项目立项时应提供外设型号、原理图与规格书，由 FAE 评估。

5.3 调试与故障排查

调试串口是定位问题的第一入口。上电后先确认 VBUS/VBAT、PMIC 输出、PWRKEY 与复位，再查看 Bootloader/内核日志。常见问题包括供电不足、未开机、启动介质配置错误、UFS 虚焊、显示时序不匹配与外设复用冲突。

表 5-3 常见故障排查

现象	优先检查	可能原因
上电无串口输出	VBUS/VBAT、PWRKEY、PMIC、复位	供电不足、未开机、复位拉低
串口乱码	波特率、地线、TX/RX	波特率错误、电平不匹配
无法进入下载模式	BOOT 键、USB 线、驱动	BOOT 时序、线材、驱动
UFS 识别失败	UFS 供电、焊接、RST	虚焊、器件损坏
DSI 屏无显示	HPD、时钟、背光、面板电源	连接器、阻抗、时序
摄像头不识别	MCLK、I2C、RST/PWDN	供电、复用、ISP 配置
USB/PCIe 不稳定	SS 差分、CC、VBUS、PERST	阻抗、供电、复位
5G/Wi-Fi 无法启动	SIM、天线、使能、固件	模组电源、天线净空

第 6 章 评估底板与接口速查

6.1 评估底板接口图

图 6-1 为基于 MT8883CV1 的评估底板接口示意，用于快速识别常见接口位置。该图展示评估底板，不是核心板本体；核心板尺寸、连接器与引脚定义以第 1 章和第 3 章为准。

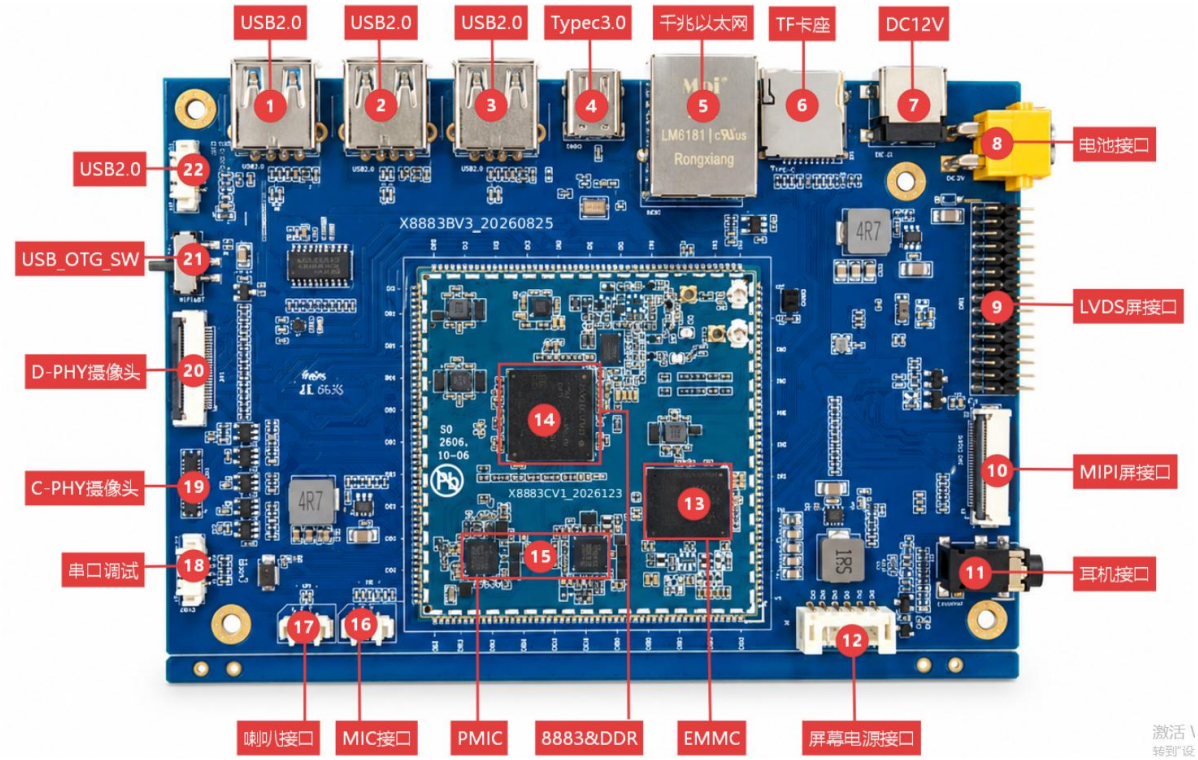


图 6-1 MT8883 评估底板接口示意

评估底板覆盖双路 MIPI DSI 屏、MIPI CSI 摄像头、USB 3.2 Type-C、PCIe、5G/4G 蜂窝与双 SIM、Wi-Fi/BT/GNSS 天线、音频耳机/麦克风、TF 卡、调试串口、按键与 GPIO，可作为底板设计参考。实际产品应根据结构、认证与成本裁剪。

6.2 接口编号速查

表 6-1 与图 6-1 的编号一一对应，便于硬件调试与生产测试时快速定位。

表 6-1 评估底板接口编号速查

编号	名称	编号	名称
1	电池座/VBAT	20	Type-C（USB3.2/下载）
2	VBUS 5V 输入	21	USB Host
3	DSI0 屏接口	22	PCIe 插槽
4	DSI1 屏接口	23	SIM1 卡座
5	触摸屏 I2C	24	SIM2 卡座
6	背光 PWM/EN	25	蜂窝主集天线
7	MIPI CSI 摄像头	26	蜂窝分集天线
8	副摄/双目	27	Wi-Fi/BT 天线
9	GNSS 天线	28	耳机座
10	麦克风输入	29	喇叭输出
11	TF 卡座	30	调试串口 UART
12	PWR 按键	31	RESET 按键
13	BOOT 按键	32	LED 指示灯
14	I2C 扩展	33	SPI 扩展
15	UART 扩展	34	GPIO 扩展
16	ADC 按键	35	RTC 电池
17	红外	36	风扇/PWM
18	RS232/485（选配）	37	隔离 IO（选配）
19	防护/ESD 测试点	38	—

6.3 典型应用建议

以评估底板为参考进行产品设计时，建议保留调试 UART、BOOT 键、RESET 键、Type-C 下载口与测试点；根据产品形态裁剪音频、红外、SIM 与 GPIO。金属外壳产品应重新评估 Wi-Fi/BT/蜂窝天线净空与散热。

双屏产品应确认 DSI0/DSI1 的时钟、电源与背光控制资源；多摄产品应确认各路 CSI 的 lane 分配、MCLK 与 I2C 地址；蜂窝产品应确认主集/分集天线与 SIM 卡座布局。

第 7 章 订货与技术支持

7.1 订货配置

订货时请提供：核心板型号 X8883CV1、PoP 内存容量、UFS 容量、操作系统、工作温度、是否需要定制散热/屏蔽罩、预计批量与交期。标准配置为 8GB PoP LPDDR5X + 128GB UFS 3.0。

表 7-1 订货配置

配置项	标准配置	可选配置	订货说明
内存	PoP LPDDR5/5X 8GB	12/16/24GB	PoP 叠层不可更换
存储	UFS 3.0 128GB	128/256GB	容量与批次相关
系统	Android	Linux/Yocto	固件与驱动按项目确认
温度	商业级 0~60°C	工业级可选	宽温项目需热测试
包装	防静电托盘	按批量	以出货通知为准

7.2 技术支持

九鼎创展提供原理图评审、引脚定义、电源/时序、PCB 评审、驱动适配与量产导入支持。联系技术支持时，请提供：项目名称、核心板型号与批次、底板原理图/PCB、问题现象、串口日志、测试条件与已做排查。

如需定制内存/存储、宽温、屏蔽罩、散热方案或特殊接口配置，请在项目立项阶段提出，以便评估物料、结构与认证周期。

附录 A 其他产品介绍

核心板系列

处理器型号	核心板型号	备注
S5P4418	X4418CV3.5/X4418CV4	180PIN 邮票孔接口
	I4418CV2	200PIN 板对板连接器
S5P6818	X6818CV3.5/X6818CV4	180PIN 邮票孔接口
	I6818CV2	200PIN 板对板连接器
RK3128	X3128CV4	144PIN 邮票孔接口
	I3128CV1	112PIN 邮票孔接口
PX30	X30CV1	144PIN 邮票孔接口
	X30CV2	144PIN 邮票孔接口
RK3288	X3288CV5	180PIN 邮票孔接口
	I3288CV1	220PIN 邮票孔接口
RK3399	X3399CV3	200PIN 邮票孔接口
	X3399CV4/X3399CV5	200PIN 邮票孔接口
RK3399pro	X3399proCV1.2	220PIN 邮票孔接口
RK1808	X1808CV1	144PIN 邮票孔接口
MT8385	X8385CV1	168PIN 邮票孔接口
MT8768	X8768CV1	168PIN 邮票孔接口
A40I	X40ICV2	172PIN 邮票孔接口
T507	X507CV2	172PIN 邮票孔接口
RK3566	X3566CV2/X3566CV3	200PIN 邮票孔接口
RK3566	I3566CV1	172PIN 邮票孔接口
RK3568	X3568CV2/X3568CV3	200PIN 邮票孔接口
RK3568	I3568CV1	172PIN 邮票孔接口
RK3588	I3588CV1	320PIN 板对板连接器

RK3588S	X5388SCV1	200PIN 邮票孔接口
JH7110	X7110CV2	172PIN 邮票孔接口

开发板系列

处理器型号	开发板型号	备注
S5P4418	x4418 开发板	x4418cv3 评估板
S5P6818	x6818 开发板	x6818cv3 评估板
	i6818 开发板	i6818cv2 评估板
RK3128	X3128 开发板	x3128cv4 评估板
	I3128 开发板	I3128CV1 评估板
PX30	X30 开发板	x30cv1 评估板
RK3288	x3288 开发板	x3288cv3 评估板
	i3288 开发板	i3288cv1 评估板
RK3399	x3399 开发板	x3399cv3/x3399cv4 评估板
RK3399pro	x3399pro 开发板	x3399pro 评估板
RK1808	x1808 开发板	x1808cv1 评估板
MT8385	X8385 开发板	X8385CV1 评估板
MT8768	X8768 开发板	X8768CV1 评估板
A40I	X40I 开发板	X40ICV2 评估板
T507	X507 开发板	X507CV2 评估板
RK3566	X3566 开发板	X3566CV1 评估板
RK3566	I3566 公板	I3566CV1 评估板
RK3568	X3568 开发板	X3568CV2 评估板
RK3568	I3568 公板	I3568CV1 评估板
RK3588	I3588 开发板	I3588CV1 评估板
RK3588S	X3588S 开发板	X3588SCV1 评估板
JH7110	X7110 开发板	X7110CV2 开发板

卡片电脑系列

处理器型号	卡片电脑型号	备注
S5P4418	ibox4418 卡片电脑	
S5P6818	ibox6818 卡片电脑	
RK3399	ibox3399 卡片电脑	
RK3568	ibox3568 卡片电脑	

说明：产品详细规格，以及更多其他产品请关注九鼎创展官方网站和论坛。

附录 B 术语与缩写

表 B-1 术语与缩写

缩写	英文/中文	说明
SoC	System on Chip	片上系统
NPU	Neural Processing Unit	神经网络处理单元
GPU	Graphics Processing Unit	图形处理器
PoP	Package on Package	叠层封装（内存叠在 SoC 上）
UFS	Universal Flash Storage	通用闪存存储
LPDDR5X	Low Power DDR5X	低功耗内存
DSI	Display Serial Interface	MIPI 显示接口
CSI	Camera Serial Interface	MIPI 摄像头接口
D-PHY/C-PHY	MIPI PHY	MIPI 物理层
PCIe	Peripheral Component Interconnect Express	高速串行扩展总线
USB DRD	Dual-Role Device	USB 双角色设备
Modem	Baseband Modem	蜂窝基带调制解调器
GNSS	Global Navigation Satellite System	全球卫星导航系统
BTB	Board-to-Board Connector	板对板连接器
GenAI	Generative AI	生成式人工智能
ESD	Electro-Static Discharge	静电放电

附录 C 版本记录

版本	日期	修改内容	作者
V1.0	2026-10-26	首次发布；基于 MT8883_CV1_20260123 原理图整理	九鼎创展

附录 D MT8883 核心板对外接口信号

说明：MT8883 核心板对外经板对板连接器引出信号，电源引脚均为输入/参考/去耦，核心板不向外输出电源；DVDD_CORE、VMDDR、VIO 等由板载 PMIC 产生，不引出。

本附录按接口功能整理核心板对外引出的主要信号，覆盖显示、摄像头、USB、PCIe、蜂窝/SIM、无线、音频与存储。信号名称以随板《MT8883_CV1》原理图为准；精确连接器引脚号请对照原理图 BTB 网络表。

表 D-1 MT8883 核心板 200PIN 引脚定义

封装	引脚编号	信号名称（含复用）	开发板级连接 / 备注
200PIN 邮票孔	1	GND	GND
200PIN 邮票孔	2	DSI1_D2P_T0C	DSI1 数据对 2 P
200PIN 邮票孔	3	DSI1_D2N_T0B	DSI1 数据对 2 N
200PIN 邮票孔	4	DSI1_D0P_T0C	DSI1 数据对 0 P
200PIN 邮票孔	5	DSI1_D0N_T1A	DSI1 数据对 0 N
200PIN 邮票孔	6	DSI1_CK0P_T1B	DSI1 时钟 P
200PIN 邮票孔	7	DSI1_CK0N_T1C	DSI1 时钟 N
200PIN 邮票孔	8	DSI1_D1P_T2A	DSI1 数据对 1 P
200PIN 邮票孔	9	DSI1_D1N_T2B	DSI1 数据对 1 N
200PIN 邮票孔	10	DSI1_D3P_T2C	DSI1 数据对 3 P
200PIN 邮票孔	11	DSI1_D3N	DSI1 数据对 3 N
200PIN 邮票孔	12	GND	DSI 地
200PIN 邮票孔	13	DSI0_D2P_T0A	DSI0 数据对 2 P
200PIN 邮票孔	14	DSI0_D2N_T0B	DSI0 数据对 2 N
200PIN 邮票孔	15	DSI0_D0P_T0C	DSI0 数据对 0 P
200PIN 邮票孔	16	DSI0_D0N_T1A	DSI0 数据对 0 N
200PIN 邮票孔	17	DSI0_CK0P_T1B	DSI0 时钟 P
200PIN 邮票孔	18	DSI0_CK0N_T1C	DSI0 时钟 N
200PIN 邮票孔	19	DSI0_D1P_T2A	DSI0 数据对 1 P
200PIN 邮票孔	20	DSI0_D1N_T2B	DSI0 数据对 1 N
200PIN 邮票孔	21	DSI0_D3P_T2C	DSI0 数据对 3 P
200PIN 邮票孔	22	DSI0_D3N	DSI0 数据对 3 N
200PIN 邮票孔	23	GND	GND
200PIN 邮票孔	24	MSDC1_DAT0	SD/MMC 数据 0
200PIN 邮票孔	25	MSDC1_DAT1	SD/MMC 数据 1
200PIN 邮票孔	26	MSDC1_DAT2	SD/MMC 数据 2
200PIN 邮票孔	27	MSDC1_DAT3	SD/MMC 数据 3
200PIN 邮票孔	28	MSDC1_CMD	SD/MMC 命令
200PIN 邮票孔	29	MSDC1_CLK	SD/MMC 时钟
200PIN 邮票孔	30	GND	GND
200PIN 邮票孔	31	I3C_SDA0	I3C 0 数据
200PIN 邮票孔	32	I3C_SCL0	I3C 0 时钟
200PIN 邮票孔	33	PERI_EN0	外设使能 0
200PIN 邮票孔	34	PERI_EN1	外设使能 1
200PIN 邮票孔	35	SRCLKENA0	休眠模式输出
200PIN 邮票孔	36	SYSRSTB	系统复位输入
200PIN 邮票孔	37	WATCHDOG	看门狗复位输出
200PIN 邮票孔	38	RTC32K_1V8_F	32K 时钟输出 1V8
200PIN 邮票孔	39	SCP_EINT0	外部中断 0
200PIN 邮票孔	40	SCP_I3C_SCL3	传感器 I3C3 时钟
200PIN 邮票孔	41	SCP_I3C_SDA3	传感器 I3C3 数据
200PIN 邮票孔	42	SCP_EINT1	外部中断 1
200PIN 邮票孔	43	SCP_I3C_SCL0	传感器 I3C0 时钟
200PIN 邮票孔	44	SCP_I3C_SDA0	传感器 I3C0 数据
200PIN 邮票孔	45	SCP_EINT_A_GYRO1	陀螺仪中断
200PIN 邮票孔	46	SCP_EINT_ALSPS	传感器中断
200PIN 邮票孔	47	SPI2_MO	SPI 2 MISO
200PIN 邮票孔	48	SPI2_MI	SPI 2 MOSI
200PIN 邮票孔	49	SPI2_CK	SPI 2 时钟
200PIN 邮票孔	50	SPI2_CSB	SPI 2 片选
200PIN 邮票孔	51	BPI_D_BUS18	通用 GPIO18
200PIN 邮票孔	52	BPI_D_BUS19	通用 GPIO19
200PIN 邮票孔	53	DSI_TE	屏幕防撕裂信号
200PIN 邮票孔	54	LCM_RST	屏幕复位

封装	引脚编号	信号名称（含复用）	开发板级连接 / 备注
200PIN 邮票孔	55	GPIO_CTP0_RST	触摸屏复位引脚
200PIN 邮票孔	56	EINT_CTP0	触摸屏中断引脚
200PIN 邮票孔	57	BPI_D_BUS17	通用 GPIO17
200PIN 邮票孔	58	BPI_D_BUS16	通用 GPIO16
200PIN 邮票孔	59	I2S1_LRCK	I2S2 帧时钟
200PIN 邮票孔	60	PCIE_CLKREQN	PCIE 时钟
200PIN 邮票孔	61	PCIE_WAKEN	PCIE 唤醒
200PIN 邮票孔	62	PCIE_PERSTN	PCIE 复位
200PIN 邮票孔	63	BPI_D_BUS5	通用 GPIO5
200PIN 邮票孔	64	BPI_D_BUS4	通用 GPIO4
200PIN 邮票孔	65	CAM_CLK1	摄像头时钟
200PIN 邮票孔	66	CAM_CLK4	摄像头时钟
200PIN 邮票孔	67	CAM_I3C_SCL2	摄像头 I3C2 时钟
200PIN 邮票孔	68	CAM_I3C_SDA2	摄像头 I3C2 数据
200PIN 邮票孔	69	CAM_RST1	摄像头复位
200PIN 邮票孔	70	CAM_I3C_SCL4	摄像头 I3C4 时钟
200PIN 邮票孔	71	CAM_I3C_SDA4	摄像头 I3C4 数据
200PIN 邮票孔	72	R_CAM3_RST0	摄像头复位
200PIN 邮票孔	73	GND	GND
200PIN 邮票孔	74	PCIE_LN0_TXP	PCIe TX+
200PIN 邮票孔	75	PCIE_LN0_TXN	PCIe TX-
200PIN 邮票孔	76	PCIE_LN0_RXP	PCIe RX+
200PIN 邮票孔	77	PCIE_LN0_RXN	PCIe RX-
200PIN 邮票孔	78	PCIE_CKP	PCIe 参考时钟+
200PIN 邮票孔	79	PCIE_CKN	PCIe 参考时钟-
200PIN 邮票孔	80	GND	GND
200PIN 邮票孔	81	CSI3A_L0P_T0A	CSI3A 数据对 0 P
200PIN 邮票孔	82	CSI3A_L0N_T0B	CSI3A 数据对 0 N
200PIN 邮票孔	83	CSI3A_L1P_T0C	CSI3A 数据对 1 P
200PIN 邮票孔	84	CSI3A_L1N_T1A	CSI3A 数据对 1 N
200PIN 邮票孔	85	CSI3A_L2P_T1B	CSI3A 数据对 2 P
200PIN 邮票孔	86	CSI3A_L2N_T1C	CSI3A 数据对 2 N
200PIN 邮票孔	87	CSI3B_L0P_T0A	CSI3B 数据对 0 P
200PIN 邮票孔	88	CSI3B_L0N_T0B	CSI3B 数据对 0 N
200PIN 邮票孔	89	CSI3B_L1P_T0C	CSI3B 数据对 1 P
200PIN 邮票孔	90	CSI3B_L1N	CSI3B 数据对 1 N
200PIN 邮票孔	91	GND	GND
200PIN 邮票孔	92	CSI2A_L0P_T0A	CSI2A 数据对 0 P
200PIN 邮票孔	93	CSI2A_L0N_T0B	CSI2A 数据对 0 N
200PIN 邮票孔	94	CSI2A_L1P_T0C	CSI2A 数据对 1 P
200PIN 邮票孔	95	CSI2A_L1N_T1A	CSI2A 数据对 1 N
200PIN 邮票孔	96	CSI2A_L2P_T1B	CSI2A 数据对 2 P
200PIN 邮票孔	97	CSI2A_L2N_T1C	CSI2A 数据对 2 N
200PIN 邮票孔	98	CSI2B_L0P_T0A	CSI2B 数据对 0 P
200PIN 邮票孔	99	CSI2B_L0N_T0B	CSI2B 数据对 0 N
200PIN 邮票孔	100	CSI2B_L1P_T0C	CSI2B 数据对 1 P
200PIN 邮票孔	101	CSI2B_L1N	CSI2B 数据对 1 N
200PIN 邮票孔	102	GND	GND
200PIN 邮票孔	103	CSI1A_L0P_T0A	CSI1A 数据对 0 P
200PIN 邮票孔	104	CSI1A_L0N_T0B	CSI1A 数据对 0 N
200PIN 邮票孔	105	CSI1A_L1P_T0C	CSI1A 数据对 1 P
200PIN 邮票孔	106	CSI1A_L1N_T0A	CSI1A 数据对 1 N
200PIN 邮票孔	107	CSI1A_L2P_T0B	CSI1A 数据对 2 P
200PIN 邮票孔	108	CSI1A_L2N_T0C	CSI1A 数据对 2 N
200PIN 邮票孔	109	CSI1B_L0P_T0A	CSI1B 数据对 0 P
200PIN 邮票孔	110	CSI1B_L0N_T0B	CSI1B 数据对 0 N
200PIN 邮票孔	111	CSI1B_L1P_T0C	CSI1B 数据对 1 P
200PIN 邮票孔	112	CSI1B_L1N	CSI1B 数据对 1 N
200PIN 邮票孔	113	GND	GND
200PIN 邮票孔	114	CSI0A_L0P_T0A	CSI0A 数据对 0 P
200PIN 邮票孔	115	CSI0A_L0N_T0B	CSI0A 数据对 0 N
200PIN 邮票孔	116	CSI0A_L1P_T0C	CSI0A 数据对 1 P
200PIN 邮票孔	117	CSI0A_L1N_T0A	CSI0A 数据对 1 N
200PIN 邮票孔	118	CSI0A_L2P_T0B	CSI0A 数据对 2 P
200PIN 邮票孔	119	CSI0A_L2N_T0C	CSI0A 数据对 2 N
200PIN 邮票孔	120	CSI0B_L0P_T0A	CSI0B 数据对 0 P
200PIN 邮票孔	121	CSI0B_L0N_T0B	CSI0B 数据对 0 N
200PIN 邮票孔	122	CSI0B_L1P_T0C	CSI0B 数据对 1 P
200PIN 邮票孔	123	CSI0B_L1N	CSI0B 数据对 1 N
200PIN 邮票孔	124	GND	GND
200PIN 邮票孔	125	CAM_CLK3	摄像头时钟
200PIN 邮票孔	126	CAM_RST2	摄像头复位

封装	引脚编号	信号名称（含复用）	开发板级连接 / 备注
200PIN 邮票孔	127	CAM_CLK2	摄像头时钟
200PIN 邮票孔	128	CAM_I3C_SCL8	I3C 总线 9 时钟
200PIN 邮票孔	129	CAM_RST3	摄像头复位
200PIN 邮票孔	130	CAM_I3C_SDA8	I3C 总线 9 数据
200PIN 邮票孔	131	EINT_CAM_PMIC1_IRQB	EINT4 中断
200PIN 邮票孔	132	CAM_I3C_SCL9	I3C 总线 9 时钟
200PIN 邮票孔	133	CAM_I3C_SDA9	I3C 总线 9 数据
200PIN 邮票孔	134	AP_GOOD	AP 启动状态输出
200PIN 邮票孔	135	KPCOL1	按键矩阵列 1
200PIN 邮票孔	136	KPCOL0	按键矩阵列 0
200PIN 邮票孔	137	KPROW1	按键矩阵行 1
200PIN 邮票孔	138	KPROW0	按键矩阵行 0
200PIN 邮票孔	139	BPI_D_BUS6	通用 GPIO6
200PIN 邮票孔	140	UTXD0	调试串口 TX
200PIN 邮票孔	141	URXD0	调试串口 RX
200PIN 邮票孔	142	DISP_PWM1	PWM 控制
200PIN 邮票孔	143	DISP_PWM	PWM 控制
200PIN 邮票孔	144	I3C_SCL7/MIPI3_D_SCLK	I3C 总线 7 时钟
200PIN 邮票孔	145	I3C_SDA7/MIPI3_D_SDATA	I3C 总线 7 数据
200PIN 邮票孔	146	I2C_SCL6/MIPI2_D_SCLK	I2C 总线 6 时钟
200PIN 邮票孔	147	I2C_SDA6/MIPI2_D_SDATA	I2C 总线 6 数据
200PIN 邮票孔	148	BPI_D_BUS12	通用 IO
200PIN 邮票孔	149	PWRKEY	电源按键
200PIN 邮票孔	150	I2S2_DO	I2S2 数据输入
200PIN 邮票孔	151	I2S2_DI	I2S2 数据输入
200PIN 邮票孔	152	I2S2_LRCK	I2S2 帧时钟
200PIN 邮票孔	153	I2S2_BCK	I2S2 位时钟
200PIN 邮票孔	154	I2S0_DO	I2S0 数据输出
200PIN 邮票孔	155	I2S0_DI	I2S0 数据输入
200PIN 邮票孔	156	I2S0_LRCK	I2S0 帧时钟
200PIN 邮票孔	157	I2S0_BCK	I2S0 位时钟
200PIN 邮票孔	158	GND	GND
200PIN 邮票孔	159	USB_DP	USB2.0 D+
200PIN 邮票孔	160	USB_DM	USB2.0 D-
200PIN 邮票孔	161	SSUSB_TXP_P2	USB3.2 TX2+
200PIN 邮票孔	162	SSUSB_TXN_P2	USB3.2 TX2-
200PIN 邮票孔	163	SSUSB_RXP_P2	USB3.2 RX2+
200PIN 邮票孔	164	SSUSB_RXN_P2	USB3.2 RX2-
200PIN 邮票孔	165	DP_AUXN	DP 辅助通道 N
200PIN 邮票孔	166	DP_AUXP	DP 辅助通道 P
200PIN 邮票孔	167	SSUSB_TXP_P1	USB3.2 TX1+
200PIN 邮票孔	168	SSUSB_TXN_P1	USB3.2 TX1-
200PIN 邮票孔	169	SSUSB_RXP_P1	USB3.2 RX1+
200PIN 邮票孔	170	SSUSB_RXN_P1	USB3.2 RX1-
200PIN 邮票孔	171	GND	GND
200PIN 邮票孔	172	VMCH_PMU	MMC/SD 接口电源输出
200PIN 邮票孔	173	VIO18_PMU	PMIC 1.8V 输出供电
200PIN 邮票孔	174	VIO28_PMU	PMIC 2.8V 输出供电
200PIN 邮票孔	175	VSYS_S	系统主电源采样（4V）
200PIN 邮票孔	176	AVSS30_AUD	模拟音频地
200PIN 邮票孔	177	HP_EINT	耳机插入检测
200PIN 邮票孔	178	AU_HSN/AU_LOLP	耳机输出 N
200PIN 邮票孔	179	AU_HSP/AU_LOLN	耳机输出 P
200PIN 邮票孔	180	AU_HP_R	耳机右声道
200PIN 邮票孔	181	AU_REFN	耳机参考地
200PIN 邮票孔	182	AU_HP_L	耳机左声道
200PIN 邮票孔	183	ACCDET	耳机按键检测
200PIN 邮票孔	184	AU_MICBIAS0	麦克风偏置 0
200PIN 邮票孔	185	AU_MICBIAS1	麦克风偏置 1
200PIN 邮票孔	186	AU_MICBIAS2	麦克风偏置 2
200PIN 邮票孔	187	AU_VIN2_P	麦克风 2 P
200PIN 邮票孔	188	AU_VIN2_N	麦克风 2 N
200PIN 邮票孔	189	AU_VIN1_N	麦克风 1 N
200PIN 邮票孔	190	AU_VIN1_P	麦克风 1 P
200PIN 邮票孔	191	AU_VIN0_N	麦克风 0 N
200PIN 邮票孔	192	AU_VIN0_P	麦克风 0 P
200PIN 邮票孔	193	SD_DET	SD 卡检测
200PIN 邮票孔	194	GND	GND
200PIN 邮票孔	195	GND	GND
200PIN 邮票孔	196	GND	GND
200PIN 邮票孔	197	VSYS	系统主电源输入（4V）
200PIN 邮票孔	198	VSYS	系统主电源输入（4V）

封装	引脚编号	信号名称（含复用）	开发板级连接 / 备注
200PIN 邮票孔	199	VSYS	系统主电源输入（4V）
200PIN 邮票孔	200	VSYS	系统主电源输入（4V）