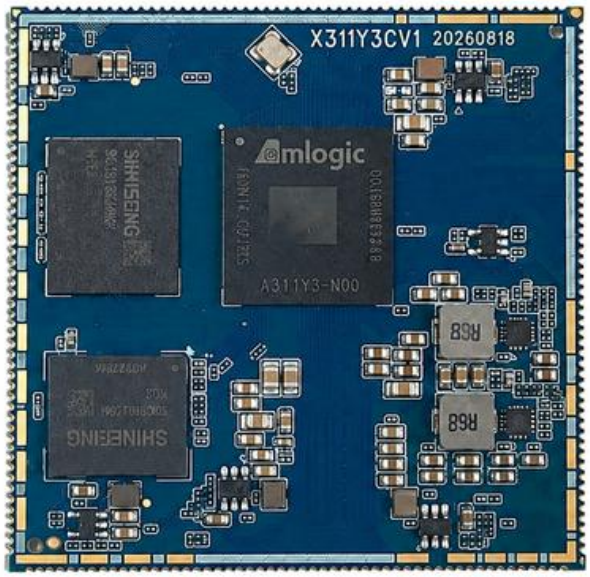
X311Y3 核心板
用户手册



型号：X311Y3CV1　版本：V1.1　日期：2026 年 10 月

八核 CPU · 8 TOPS NPU · 286PIN · 55 mm × 55 mm

本手册面向核心板选型、底板设计、系统调试与量产导入的硬件工程师，
给出接口定义、电源时序、PCB 设计约束与软件资源说明。

深圳市九鼎创展科技有限公司
www.9tripod.com

版权声明

本手册版权归属深圳市九鼎创展科技有限公司所有，并保留一切权利。非经九鼎创展书面同意，任何单位及个人不得擅自摘录本手册部分或全部内容，违者将被追究法律责任。

本手册所载信息力求准确可靠，但产品与资料会持续更新。九鼎创展保留在不另行通知的情况下修改产品、规格与文档的权利。请在 www.9tripod.com 获取最新版本。

版本说明

版本	日期	作者	说明
V1.0	2026-10-23	九鼎创展	首次发布，基于 X311Y3CV10_20260512 原理图与制板资料整理

技术支持

如果您对本手册或产品有疑问，可在办公时间（周一至周五 9:00–12:00，13:30–18:00）通过以下方式联系技术支持。

项目	内容
公司	深圳市九鼎创展科技有限公司
地址	深圳市宝安区西乡街道龙腾社区汇智研发中心 B 座 1505-1508 室
电话	0755-33121205
技术支持	19925219487
邮箱	supports@9tripod.com
网址	http://www.9tripod.com
论坛	http://bbs.9tripod.com
淘宝 1 店	http://armeasy.taobao.com
淘宝 2 店	http://easyarm.taobao.com

说明：产品规格、接口定义与软件版本可能随批次和固件更新而变化。进行底板投板、量产导入或整机认证前，请与九鼎创展确认最新资料。

目 录

第 1 章 产品概述 1
1.1 产品简介 1
1.2 核心特性 1
1.3 系统框图 2
1.4 结构形式 2
1.5 接口资源 4
1.6 配置选项 5
1.7 应用场景 5
1.8 引脚定义 5
第 2 章 硬件架构 6
2.1 电源架构 6
2.2 上电时序 6
2.3 调试接口 7
第 3 章 接口资源 8
3.1 显示接口 8
3.2 摄像头接口 10
3.3 USB 接口 11
3.4 PCIe 接口 12
3.5 以太网接口 13
3.6 Wi-Fi / Bluetooth 14
3.7 音频接口 15
3.8 存储与 SD 卡接口 16
3.9 低速接口与 GPIO 17
3.10 接口复用与冲突 17
第 4 章 PCB 设计与 Layout 指南 19
4.1 阻抗控制 19
4.2 高速差分接口 19

4.3 以太网与 Wi-Fi 19
4.4 底板设计检查清单 20
第 5 章 软件与系统开发 21
5.1 支持的操作系统 21
5.2 驱动支持 21
5.3 调试与故障排查 22
第 6 章 评估底板与接口速查 23
6.1 评估底板接口图 23
6.2 接口编号速查 24
6.3 典型应用建议 24
第 7 章 订货与技术支持 25
7.1 订货配置 25
7.2 技术支持 25
附录 A 其他产品介绍 26
核心板系列 26
开发板系列 27
卡片电脑系列 28
附录 B 术语与缩写 29
附录 C 版本记录 30
附录 D A311Y3 SoC 引脚与网络定义 31

第 1 章 产品概述

1.1 产品简介

X311Y3 核心板（型号 X311Y3CV1）是深圳市九鼎创展科技有限公司基于晶晨 A311Y3 处理器设计的高集成度核心板。核心板尺寸为 55 mm × 55 mm × 3.0 mm，采用 286PIN LGA 焊盘阵列封装，板载 LPDDR5X 内存、eMMC 5.1 存储、DCDC 电源，通过底部焊盘引出显示、摄像头、USB、PCIe、以太网、SDIO、音频、调试与 GPIO 等资源。

A311Y3 采用 2×Cortex-A78 + 6×Cortex-A55 的八核异构架构，最高主频分别为 2.4 GHz 与 2.0 GHz，集成 8 TOPS NPU 和 Mali-G625 MC1 GPU，支持最高 4K@120fps 视频能力，可运行 Android 16 与 Linux 6.12。核心板面向边缘计算、工业控制、商业显示、智能零售、机器视觉与智能终端等场景。

1.2 核心特性

- **八核异构计算：**2×Cortex-A78 @ 2.4 GHz + 6×Cortex-A55 @ 2.0 GHz，兼顾性能与能效。
- **8 TOPS NPU：**支持 INT4/INT8/FP16 多精度推理，可用于视觉检测、边缘 AI 与智能交互。
- **Mali-G625 MC1 GPU：**支持 OpenGL ES 3.2、Vulkan 1.4、OpenCL 3.0，满足图形界面与轻量 3D 应用。
- **LPDDR5X 内存：**32-bit 位宽，标配 8 GB，可选 16 GB；内存直接板载，不对外引出。
- **eMMC 5.1 存储：**标配 64 GB，可选 128 GB / 256 GB；支持 eMMC 启动。
- 286PIN LGA：55 mm × 55 mm × 3.0 mm，底部焊盘阵列，适合回流焊接；焊盘尺寸与间距以结构图/PCB 为准。
- **显示接口：**1 路 HDMI 2.1a TX、1 路 HDMI 2.1a RX（支持 eARC）、1 路 4-lane MIPI DSI/eDP/LVDS 复用输出。
- **摄像头接口：**2 路 4-lane MIPI CSI，可连接高清摄像头或双目/多目视觉模组。
- **高速接口：**USB3.0 OTG Type-C（支持 DP Alt Mode）、USB3.0 Host、PCIe 3.0 x2、PCIe 2.0 x1、RGMII 千兆以太网。
- **低速与扩展：**6 路 UART、9 路 I2C、6 路 SPI、14 路 PWM、5 通道 10-bit ADC，以及 GPIOA/B/C/D/H/M/X/Y/Z 等多组 GPIO。
- 电源与工艺：12V 输入，板内离散 DCDC 方案；PCB 10 层、Tg170、沉金、过孔塞孔，工作温度 -10~70°C。核心板只消耗电源，不向底板输出电源。
- **软件平台：**Android 16 与 Linux 6.12，提供显示、触摸、存储、USB、PCIe、以太网、Wi-Fi/BT、音频、摄像头等驱动支持。

1.3 系统框图

图 1-1 为 X311Y3CV1 核心板的系统框图。核心板以 A311Y3 SoC 为中心，左侧为 LPDDR5X、eMMC 与 GPIO 资源，右侧为各路 DCDC/LDO 电源，顶部与底部为 HDMI、MIPI CSI、PCIe、USB/DP 等高速接口。该图用于理解核心板的资源划分，具体连接以原理图为准。

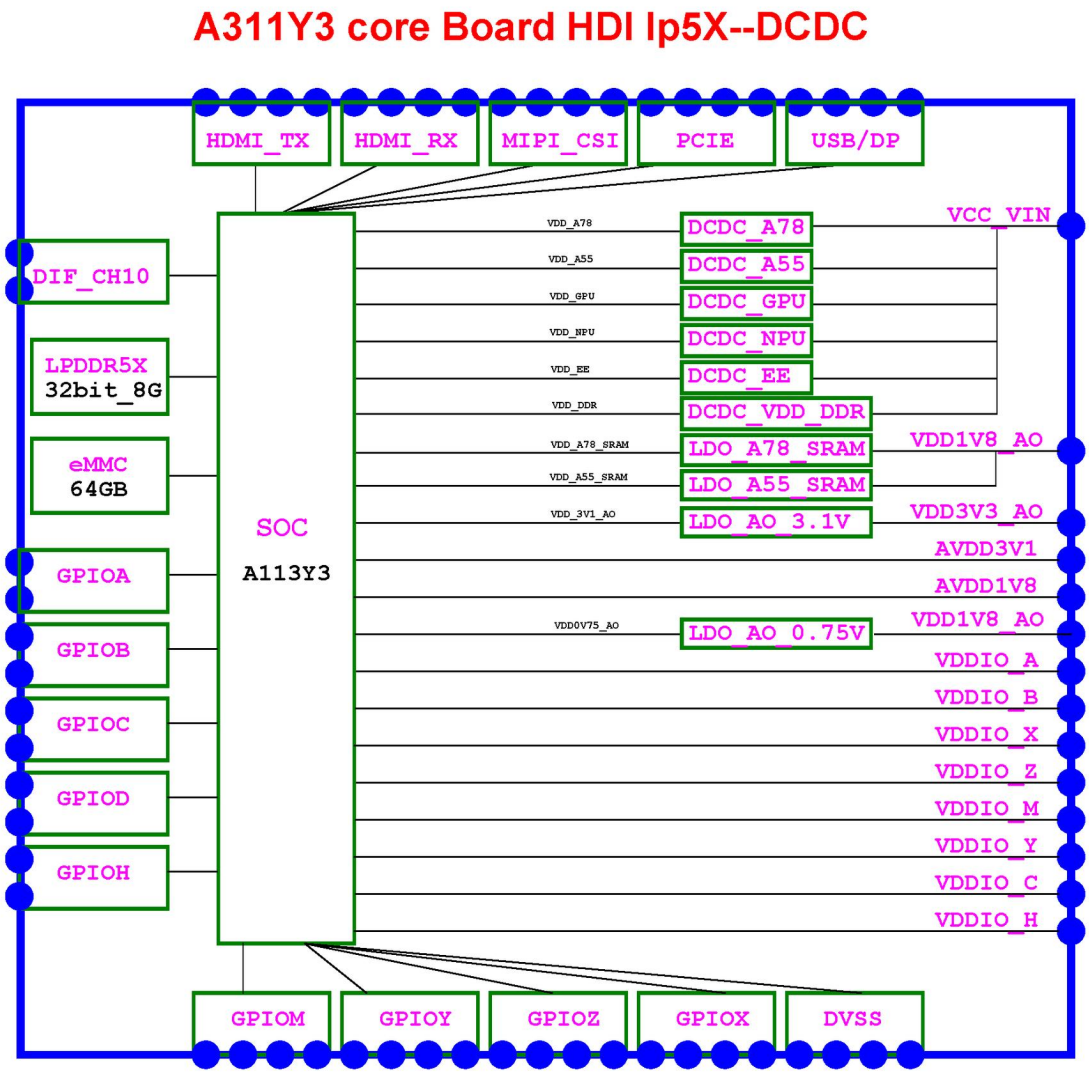


图 1-1 X311Y3CV1 核心板系统框图

1.4 结构形式

核心板采用 286PIN LGA 焊盘阵列封装，底部焊盘与底板焊盘回流焊接。模块尺寸 55 mm × 55 mm × 3.0 mm（含器件），PCB 板厚 1.6 mm；PCB 层数 10 层，表面处理为化学沉金。焊盘尺寸、间距与禁布区以结构图及 PCB 文件为准。

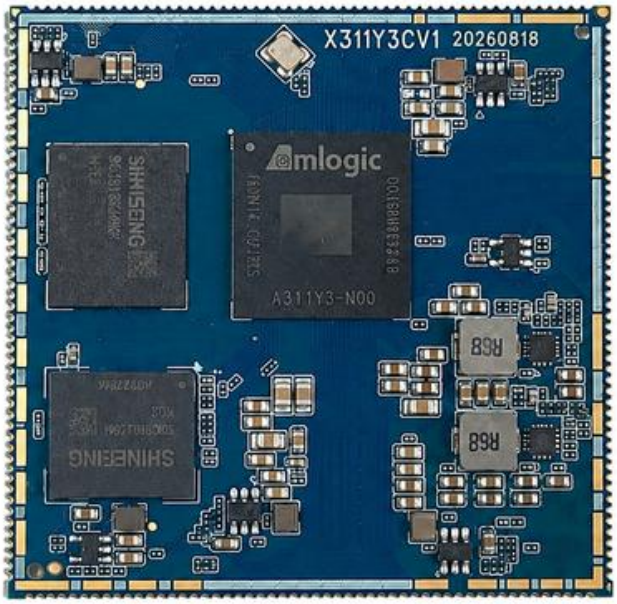


图 1-2 X311Y3CV1 结构示意（顶层）



图 1-3 X311Y3CV1 结构示意（底层）

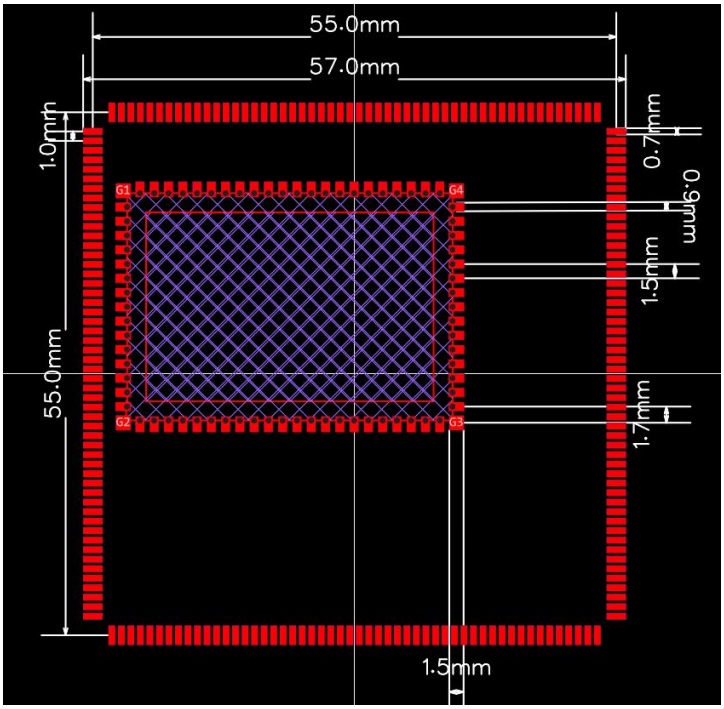


图 1-4 核心板结构参数

1.5 接口资源

表 1-2 汇总了核心板可提供的接口资源。表中“可用”表示 SoC 具备对应控制器并已引出；实际能否同时使用，取决于引脚复用、底板电路与软件配置。

表 1-2 核心板接口资源

接口类别	资源与说明
HDMI 输出	1 路 HDMI 2.1a TX，支持视频、音频、DDC/CEC/HPD，支持 eARC。
HDMI 输入	1 路 HDMI 2.1a RX，支持 4K 输入与 eARC，可用于采集、监看与视频会议。
MIPI DSI / eDP / LVDS	2 路 4-lane DIF 复用输出，可配置为 MIPI DSI、eDP 或 LVDS。
MIPI CSI	2 路 4-lane MIPI CSI（CSI_A/B、CSI_C/D），支持高清摄像头与多摄组合。
USB	1 路 USB3.0 OTG Type-C（支持 DP Alt Mode）、1 路 USB3.0 Host、1 路 USB2.0 Host、1 路 USB2.0 OTG。
PCIe	1 路 PCIe 3.0 x2、1 路 PCIe 2.0 x1；PCIe 2.0 x1 与 USB3.0 Host 复用，需二选一。
以太网	1 路 RGMII 千兆以太网接口
Wi-Fi / Bluetooth	1 路 SDIO 4-bit、UART/PCM、32K 时钟与控制信号，底板搭配 Wi-Fi/BT 模组。
音频	I2S/PCM/PDM、SPDIF、HDMI eARC、耳机检测与麦克风输入，底板搭配 Audio Codec。
存储	板载 eMMC 5.1；底板可经 SDIO 扩展 TF/SD 卡。

接口类别	资源与说明
调试	1 路 3.3V 调试 UART（UART0），1 路 UART_F；支持 Type-C OTG 烧录。
扩展	6 路 UART、9 路 I2C、6 路 SPI、14 路 PWM、5 通道 10-bit ADC、多组 GPIO（复用）。

1.6 配置选项

核心板默认配置为 8 GB LPDDR5X + 64 GB eMMC 5.1。可根据项目需要选择更大内存或存储容量；订货前请与九鼎创展确认物料状态、批量与交期。

表 1-3 核心板配置选项

配置项	标准配置	可选配置	说明
内存	8 GB LPDDR5X	16 GB LPDDR5X	32-bit 位宽，板载，不对外引出
存储	64 GB eMMC 5.1	128 GB / 256 GB	eMMC 启动，支持 Boot Partition
电源	12V 输入，离散 DCDC	—	底板需提供足额 12V/2A 以上电源
操作系统	Android 16 / Linux 6.12	按项目定制	以发布固件为准
工作温度	-10~70°C	—	存储与运输按包装标识

1.7 应用场景

X311Y3 核心板适合需要较强 CPU/NPU 算力、丰富显示与摄像头接口，同时对尺寸和功耗有约束的嵌入式设备。典型应用包括：

- 工业控制与人机界面：多串口、双网口扩展、HDMI/LVDS 显示、触控与 GPIO 控制。
- 商业显示与数字标牌：HDMI 输出、MIPI/eDP 屏、双屏异显、音频与网络广告投放。
- 机器视觉与边缘 AI：2 路 4-lane MIPI CSI、8 TOPS NPU，用于缺陷检测、识别与分拣。
- 智能零售与自助终端：Type-C/DP、USB 外设、二维码扫描、打印与支付模块。
- 视频会议与医疗显示：HDMI RX 采集、HDMI TX 输出、音频 eARC 与摄像头输入。
- 车载与轨道交通显示：宽温设计、HDMI/eDP 长距离显示、CAN/串口扩展。

1.8 引脚定义

核心板 286PIN 焊盘按功能分为电源、显示、摄像头、USB/PCIe、以太网、SDIO、音频、调试与 GPIO。各接口的引脚编号、引脚名称（含复用）与接口电源域见第 3 章对应表格；完整引脚编号与网络名对照见附录 D。

> **说明：**若本手册与最新原理图、引脚定义表或产品规格书存在差异，以最新版受控资料为准。量产导入前建议进行电源、时序、显示与高速接口的专项评审。

第 2 章 硬件架构

2.1 电源架构

核心板采用“12V 输入 + 板内离散 DCDC”的供电架构，不使用 PMIC。底板向核心板提供 12V_STANDBY 与 12V_CORE 两路 12V，以及 VDD3V3_AO、VDD1V8_AO、AVDD1V8、AVDD3V1、VDDIO_* 等 IO/模拟电源；核心板板内 DCDC 只给 SoC、LPDDR5X、eMMC 等内部负载供电，不向底板输出任何电源。

表 2-3 列出主要电源域及其来源。底板设计时，应把核心板电源引脚全部按“输入/参考/去耦”处理，不能把 VDD3V3_AO、VDD1V8_AO、AVDD*、VDDIO* 当作底板外设的供电来源；防止电源影响核心板正常工作，屏背光、摄像头、USB VBUS、PCIe、SD、Codec 等电源须在底板上独立产生。

表 2-3 核心板主要电源域

电源域	典型值	来源/方向	主要负载	设计注意
12V_STANDBY	12 V	底板 → 核心板	常开域、板内待机 DCDC	先建立；电流按峰值留 3A 余量
12V_CORE	12 V	底板 → 核心板	CPU/GPU/NPU/DDR 等核心 DCDC	后建立；与 STANDBY 同时满足
VDD3V3_AO	3.3 V	底板 → 核心板	AO/IO 参考、接口电平	低纹波；不得作为底板外设电源
VDD1V8_AO	1.8 V	底板 → 核心板	AO/IO 参考、接口电平	低纹波；不得作为底板外设电源
AVDD1V8 / AVDD18_*	1.8 V	底板 → 核心板	CSI/DSI/USB/PCIe/HDMI eARC 模拟 IO	低噪声；按接口就近去耦
AVDD3V1 / AVDD3V_*	3.1 V	底板 → 核心板	HDMI TX/RX、USB CC 模拟	低噪声；HDMI 连接器侧加 ESD
VDDIO_3V3	3.3 V	底板 → 核心板	GPIO/I2C/UART 等 3.3V IO	与底板外设电平匹配
VDDIO_A/B/C/D/H/M/X/Y/Z	A/H/Y/D 3.1 V；B/M/X/Z 1.8 V；C 3.3 V	核心板 LDO/PMOS	各接口 IO 电源域	按接口域配置，不可混接；A/Y 可选 1.8 V

2.2 上电时序

核心板上电按“12V 先建立、IO/模拟电源后建立、复位最后释放”的顺序。这里只给出与核心板引出引脚有关的时序，不展开板内 DCDC 的软启动细节；具体电气参数以原理图 Sheet 2 的 Power Sequence 为准。

上电顺序：① 底板建立 12V_STANDBY 并保持稳定；② 建立 12V_CORE；③ 底板建立 VDD3V3_AO、VDD1V8_AO、AVDD1V8、AVDD3V1 与各 VDDIO_*。

掉电顺序相反：先把 RESET_N 拉低，再关闭 PWR_CTL1/2 与底板 DCDC，随后关闭 12V_CORE、12V_STANDBY。底板上的大容量电容和外部 3.3V/1.8V 电源应设计放电回路或防倒

灌二极管，避免 IO 倒灌。PWR_CTL1/2 只是控制信号，不是电源输出，不能用来给底板负载供电。

表 2-4 核心板电源与时序相关引脚

引脚编号	信号	方向	时序/设计要点
A92	VCC_VIN_STANDBY	输入	12V 常开输入，先建立
A93/A94/A95/A96	VCC_VIN	输入	12V 核心输入，后建立
A33/A34	VDD3V3_AO	输入	3.3V AO/IO，底板提供
A97/A6	VDD1V8_AO	输入	1.8V AO/IO，底板提供
A98	AVDD1V8	输入	模拟 1.8V，底板提供
B25	AVDD3V1	输入	HDMI/USB 3.1V，底板提供
A37	VDDIO_3V3	输入	3.3V IO，底板提供
A208	RESET_N	输入	低有效；所有电源稳定后释放，≥40 ms
A11	PWR_KEY	输入	开机/唤醒，低有效
A8	PWR_CTL2	输出	底板 DCDC 使能控制，仅逻辑信号
A100~A104	PMIC_GPIO*	NC	无 PMIC，未连接

2.3 调试接口

核心板引出 1 路 3.3V 调试 UART（UART0），用于 U-Boot、内核与文件系统日志。调试座建议采用 4-pin 2.54 mm 排针或 1.25 mm 座，引脚顺序为 3V3、TX、RX、GND；PC 侧使用 USB 转 TTL 工具，注意 TX/RX 交叉连接。

调试串口默认参数通常为 115200-8-N-1，具体以固件配置为准。若上电无输出，应按“12V→3.3V/1.8V→RESET_N→时钟→启动介质→串口电平”的顺序排查。烧录时通过 Type-C OTG 配合 BOOT 键进入下载模式；

第 3 章 接口资源

本章按功能说明核心板引出的主要接口、关键信号与底板设计要点。接口能否同时使用取决于引脚复用与软件配置；涉及复用的接口在第 3.10 节集中说明。所有差分阻抗、走线长度与防护要求应在原理图评审和 PCB 评审中逐项确认。 各表“接口电源域”列给出该引脚所属的核心板电源网络，“电压”列为其标称值（单位 V）；“AVDD0V75/18_xxx”表示 0.75 V 模拟核电源与 1.8 V 模拟 IO 电源两个域，电压按相同顺序列出。

3.1 显示接口

A311Y3 提供 HDMI TX、HDMI RX 以及 MIPI DSI/eDP/LVDS 复用显示输出，可覆盖从中小尺寸 MIPI 屏到 4K HDMI 显示器的多种应用。显示接口的时钟与数据均为高速差分信号，底板布线应优先保证参考平面完整、阻抗连续与 ESD 防护。

3.1.1 HDMI TX

HDMI TX 用于向显示器、电视、投影仪或采集设备输出音视频。接口包含 4 对 TMDS 差分线（时钟 + 3 对数据）、DDC（SCL/SDA）、CEC、HPD 与 +5V。A311Y3 支持 HDMI 2.1a 协议与 eARC 音频回传。

底板设计建议：HDMI 连接器尽量靠近核心板；TMDS 差分对按 90 Ω 阻抗控制，差分对内等长，避免跨分割；DDC/CEC/HPD 加 ESD 防护；+5V 输出加限流与保险丝；eARC 差分对按 100 Ω 控制并远离高速时钟。

3.1.2 HDMI RX

HDMI RX 用于采集外部 HDMI 信号，可用于视频会议、录播、监看与图像处理。接口包含 TMDS 输入、DDC、CEC、HPD、+5V 检测与 eARC。输入端应设计 5V 检测分压与 ESD 保护，避免热插拔时浪涌损坏 SoC。

HDMI RX 的 TMDS 差分对按 90 Ω 控制；输入连接器的 +5V 引脚应通过电阻分压到 SoC 允许的电压域，不能直接接入 5V。若产品需要长线输入，应评估均衡器/重驱动器的必要性。

3.1.3 MIPI DSI / eDP / LVDS

核心板提供 1 路 4-lane DIF 复用输出，可配置为 MIPI DSI、eDP 或 LVDS。MIPI DSI 适合手机/平板类屏幕，eDP 适合高分辨率笔记本屏，LVDS 适合工业与车载屏。复用关系由硬件配置与软件设备树共同决定，不能在运行时随意切换。

DSI/eDP/LVDS 差分对按 100 Ω 控制，差分对内等长；eDP AUX 按 100 Ω 控制；DSI 的 TE、复位、背光 PWM/EN 与面板电源使能应单独引出。背光电源建议在底板上独立升压/恒流，避免与核心板 3.3V 共用导致屏闪。

表 3-1 显示接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
HDMI TX	A123	HDMITX_D0N	AVDD3V_HDMI	3.1
HDMI TX	A124	HDMITX_D0P	AVDD3V_HDMI	3.1
HDMI TX	A125	HDMITX_D1N	AVDD3V_HDMI	3.1
HDMI TX	A126	HDMITX_D1P	AVDD3V_HDMI	3.1
HDMI TX	A127	HDMITX_D2N	AVDD3V_HDMI	3.1
HDMI TX	A128	HDMITX_D2P	AVDD3V_HDMI	3.1
HDMI TX	A121	HDMITX_CLKN	AVDD3V_HDMI	3.1
HDMI TX	A122	HDMITX_CLKP	AVDD3V_HDMI	3.1
HDMI TX	A119	HDMITX_EARC_RXN	AVDD0V75/18_HDMI_EARC	0.75/1.8
HDMI TX	A120	HDMITX_EARC_RXP	AVDD0V75/18_HDMI_EARC	0.75/1.8
HDMI RX	A109	HDMIRX_EARC_TXN	AVDD0V75/18_HDMI_EARC	0.75/1.8
HDMI RX	A110	HDMIRX_EARC_TXP	AVDD0V75/18_HDMI_EARC	0.75/1.8
HDMI RX	A111	HDMIRX_CLKN	AVDD3V_HDMIRX	3.1
HDMI RX	A112	HDMIRX_CLKP	AVDD3V_HDMIRX	3.1
HDMI RX	A113	HDMIRX_D0N	AVDD3V_HDMIRX	3.1
HDMI RX	A114	HDMIRX_D0P	AVDD3V_HDMIRX	3.1
HDMI RX	A115	HDMIRX_D1N	AVDD3V_HDMIRX	3.1
HDMI RX	A116	HDMIRX_D1P	AVDD3V_HDMIRX	3.1
HDMI RX	A117	HDMIRX_D2N	AVDD3V_HDMIRX	3.1
HDMI RX	A118	HDMIRX_D2P	AVDD3V_HDMIRX	3.1
HDMI 控制	B61	GPIOH_0(OD5V_HIZ)(HDMIRX_SDA//UART_C_TX//CAN_B_TX)	VDDIO_H	3.1
HDMI 控制	B60	GPIOH_1(OD5V_HIZ)(HDMIRX_SCL//UART_C_RX//CAN_B_RX)	VDDIO_H	3.1
HDMI 控制	B62	GPIOH_2(OD5V_HIZ)(HDMIRX_HPD)	VDDIO_H	3.1
HDMI 控制	B63	GPIOH_3(OD5V_HIZ)(HDMIRX_5VDET)	VDDIO_H	3.1
HDMI 控制	A108	GPIOH_4(OD5V_HIZ)(HDMITX_SDA//I2C_F_SDA//PWM_M//PCIECK_A_REQN)	VDDIO_H	3.1
HDMI 控制	A107	GPIOH_5(OD5V_HIZ)(HDMITX_SCL//I2C_F_SCL//PWM_VS//DP_HPD//PCIECK_B_REQN)	VDDIO_H	3.1
HDMI 控制	A106	GPIOH_6(OD5V_HIZ)(HDMITX_HPD_IN//VX1_HTPDN//EDP_HPD)	VDDIO_H	3.1
HDMI 控制	B59	GPIOH_7(OD5V_HIZ)(VX1_LOCKN)	VDDIO_H	3.1
HDMI 控制	A105	GPIOB_14(OD33)(I2C_C_SDA//IWD_RSTO//WD_RSTO//RT_GPIO_7)	VDDIO_B	1.8
DSI/eDP/LVDS	A88	DIF_CH0N(EDP_A_AUXN//DSI_A_D0N//LVDS_A_0N//VX1_A_0N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A87	DIF_CH0P(EDP_A_AUXP//DSI_A_D0P//LVDS_A_0P//VX1_A_0P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A86	DIF_CH1N(EDP_A_0N//DSI_A_D1N//LVDS_A_1N//VX1_A_1N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A85	DIF_CH1P(EDP_A_0P//DSI_A_D1P//LVDS_A_1P//VX1_A_1P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A84	DIF_CH2N(EDP_A_1N//DSI_A_CKN//LVDS_A_2N//VX1_A_2N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A83	DIF_CH2P(EDP_A_1P//DSI_A_CKP//LVDS_A_2P//VX1_A_2P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A82	DIF_CH3N(EDP_A_2N//DSI_A_D2N//LVDS_A_CLKN//VX1_A_3N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A81	DIF_CH3P(EDP_A_2P//DSI_A_D2P//LVDS_A_CLKP//VX1_A_3P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A80	DIF_CH4N(EDP_A_3N//DSI_A_D3N//LVDS_A_3N//VX1_A_4N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A79	DIF_CH4P(EDP_A_3P//DSI_A_D3P//LVDS_A_3P//VX1_A_4P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A78	DIF_CH5N(DSI_B_D0N//LVDS_B_0N//VX1_A_5N)	AVDD0V75/18_DIF	0.75/1.8

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
DSI/eDP/LVDS	A77	DIF_CH5P(DSI_B_D0P//LVDS_B_0P//VX1_A_5P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A76	DIF_CH6N(DSI_B_D1N//LVDS_B_1N//VX1_A_6N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A75	DIF_CH6P(DSI_B_D1P//LVDS_B_1P//VX1_A_6P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A74	DIF_CH7N(DSI_B_CKN//LVDS_B_2N//VX1_A_7N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A73	DIF_CH7P(DSI_B_CKP//LVDS_B_2P//VX1_A_7P)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A72	DIF_CH8N(DSI_B_D2N//LVDS_B_CLKN)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A71	DIF_CH8P(DSI_B_D2P//LVDS_B_CLKP)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A70	DIF_CH9N(DSI_B_D3N//LVDS_B_3N)	AVDD0V75/18_DIF	0.75/1.8
DSI/eDP/LVDS	A69	DIF_CH9P(DSI_B_D3P//LVDS_B_3P)	AVDD0V75/18_DIF	0.75/1.8
Panel/eDP	B71	GPIOY_0(DOWN)(PWM_N//PCIECK_A_REQN//PDM_DIN0//TDM_D2//RT_GPIO_30)	VDDIO_Y	3.1
Panel/eDP	B70	GPIOY_1(UP)(PWM_I//PCIECK_B_REQN//PDM_DCLK//TDM_D3//RT_GPIO_31)	VDDIO_Y	3.1
Panel/eDP	B69	GPIOY_2(DOWN)(PWM_K//PCIE_A_PRESET//PDM_DIN1//TDM_FS1//RT_GPIO_32)	VDDIO_Y	3.1
Panel/eDP	B68	GPIOY_3(DOWN)(PWM_L//PCIE_B_PRESET//PDM_DIN2//TDM_SCLK1//SPDIF_IN)	VDDIO_Y	3.1
Panel/eDP	B65	GPIOY_4(DOWN)(PWM_M//PDM_DIN3//MCLK_1//SPDIF_OUT)	VDDIO_Y	3.1
Panel/eDP	B66	GPIOY_5(UP)(PWM_J//I2C_E_SDA//TDM_D4//RT_GPIO_33)	VDDIO_Y	3.1
Panel/eDP	B67	GPIOY_6(DOWN)(PWM_VS//I2C_E_SCL//TDM_D5//RT_GPIO_34)	VDDIO_Y	3.1
Panel/eDP	B50	GPIOY_7(DOWN)(VX1_LOCKN//TDM_D6//RT_GPIO_35)	VDDIO_Y	3.1
Panel/eDP	A90	GPIOY_9(UP)(VX1_HTPDN//EDP_HPD//I2C_I_SCL//TDM_D8//RT_GPIO_37)	VDDIO_Y	3.1

3.2 摄像头接口

核心板提供 2 路 4-lane MIPI CSI，分别对应 CSI_A/B 与 CSI_C/D。每路包含时钟差分对、4 对数据差分对、MCLK、I2C 控制、复位与 PWDN。可连接 1300 万/1600 万像素摄像头，也可用于双目/多目视觉。

CSI 差分对按 100 Ω 控制，时钟与数据对之间、lane 与 lane 之间应做等长；MCLK 为敏感时钟，应远离 DCDC 电感与高速开关节点；I2C 上拉电阻应接到摄像头 IO 电源，不能与 SoC IO 域冲突；摄像头连接器应加 ESD 防护。

表 3-2 MIPI CSI 摄像头接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
CSI_A/B	A150	CSI_A_CLKN	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A149	CSI_A_CLKP	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A146	CSI_A_D0N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A145	CSI_A_D0P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A148	CSI_A_D1N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A147	CSI_A_D1P	AVDD0V75/18_CSI_MCLK	0.75/1.8

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
CSI_A/B	A152	CSI_A_D2N//CSI_B_D0N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A151	CSI_A_D2P//CSI_B_D0P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A154	CSI_A_D3N//CSI_B_D1N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A153	CSI_A_D3P//CSI_B_D1P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A156	CSI_B_CLKN	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_A/B	A155	CSI_B_CLKP	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A136	CSI_C_CLKN	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A135	CSI_C_CLKP	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A132	CSI_C_D0N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A131	CSI_C_D0P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A134	CSI_C_D1N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A133	CSI_C_D1P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A138	CSI_C_D2N//CSI_D_D0N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A137	CSI_C_D2P//CSI_D_D0P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A140	CSI_C_D3N//CSI_D_D1N	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A139	CSI_C_D3P//CSI_D_D1P	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A142	CSI_D_CLKN	AVDD0V75/18_CSI_MCLK	0.75/1.8
CSI_C/D	A141	CSI_D_CLKP	AVDD0V75/18_CSI_MCLK	0.75/1.8
Camera control	B53	GPIOM_0(DOWN)(I2C_G_SDA//UART_D_CTS//PDM_DIN0//TDM_D9//SPI_C_MOSI)	VDDIO_M	1.8
Camera control	B54	GPIOM_1(DOWN)(I2C_G_SCL//UART_D_RTS//PDM_DCLK//TDM_D10//SPI_C_MISO)	VDDIO_M	1.8
Camera control	B52	GPIOM_2(DOWN)(I2C_E_SDA//UART_D_TX//PDM_DIN1//TDM_D11//SPI_C_SCLK)	VDDIO_M	1.8
Camera control	B51	GPIOM_3(DOWN)(I2C_E_SCL//UART_D_RX//PDM_DIN2//MCLK_2//SPI_C_SS0)	VDDIO_M	1.8
Camera control	B55	GPIOM_4(DOWN)(I2C_F_SDA//UART_F_TX//PDM_DIN3//TDM_SCLK2//PWM_J)	VDDIO_M	1.8
Camera control	B58	GPIOM_5(DOWN)(I2C_F_SCL//UART_F_RX//PCIECK_B_REQN//TDM_FS2//PWM_VS)	VDDIO_M	1.8
Camera control	B56	GPIOM_6(DOWN)(I2C_H_SDA//UART_F_CTS//DP_HPD//TDM_D14//VX1_LOCKN)	VDDIO_M	1.8
Camera control	B57	GPIOM_7(DOWN)(I2C_H_SCL//UART_F_RTS//EDP_HPD//TDM_D15//VX1_HTPDN)	VDDIO_M	1.8

3.3 USB 接口

核心板提供 1 路 USB3.0 OTG Type-C、1 路 USB3.0 Host、1 路 USB2.0 Host 与 1 路 USB2.0 OTG。Type-C OTG 支持 HOST/Device 双模式与 DP Alt Mode，可用于系统烧录、ADB、外接显示器与 USB 外设。

USB3.0 差分对按 95 Ω 控制（USB3.0/PCIe2.0/HSGMII 复用组），USB2.0 差分对按 90 Ω 控制，Type-C/DP 复用差分对按 90 Ω 控制。Type-C 的 CC1/CC2 需按角色配置 5.1 kΩ 下拉或 56 kΩ 上拉；VBUS 需加 ESD 与限流；DP Alt Mode 的 AUX 按 100 Ω 控制。

表 3-3 USB 接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
USB2.0/3.0	A174	USB_B_HOST_DM	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A173	USB_B_HOST_DP	AVDD0V75/18_USB_DP	0.75/1.8
Type-C CC	B19	USB_CC1(I2C_F_SCL)	AVDD3V_USB_CC	3.1
Type-C CC	B20	USB_CC2(I2C_F_SDA)	AVDD3V_USB_CC	3.1
DP Alt	A181	DP_TX_D3N//USBSS_A_RX1N	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A182	DP_TX_D3P//USBSS_A_RX1P	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A183	DP_TX_D2N//USBSS_A_TX1N	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A184	DP_TX_D2P//USBSS_A_TX1P	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A187	DP_TX_D1N//USBSS_A_RX2N	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A188	DP_TX_D1P//USBSS_A_RX2P	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A185	DP_TX_D0N//USBSS_A_TX2N	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A186	DP_TX_D0P//USBSS_A_TX2P	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A189	DP_TX_AUXN	AVDD0V75/18_USB_DP	0.75/1.8
DP Alt	A190	DP_TX_AUXP	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A179	USB_A_OTG_DM	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A180	USB_A_OTG_DP	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	B21	USB_A_OTG_ID	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	B22	USB_A_OTG_VBUS	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A177	USB_D_OTG_DM	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A178	USB_D_OTG_DP	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	B23	USB_D_OTG_ID	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	B24	USB_D_OTG_VBUS	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A175	USB_C_HOST_DM	AVDD0V75/18_USB_DP	0.75/1.8
USB2.0/3.0	A176	USB_C_HOST_DP	AVDD0V75/18_USB_DP	0.75/1.8

3.4 PCIe 接口

核心板提供 1 路 PCIe 3.0 x2 与 1 路 PCIe 2.0 x1。PCIe 3.0 x2 可用于 NVMe SSD、PCIe 网卡、采集卡等高速设备；PCIe 2.0 x1 与 USB3.0 Host 复用，需在底板上二选一。

PCIe 3.0 差分对按 85 Ω 控制，PCIe 参考时钟按 100 Ω 控制；TX 端需加 AC 耦合电容（通常 100 nF），接收端按协议要求处理；PERST#、WAKE#、CLKREQ# 需加上拉/下拉与 ESD。PCIe 连接器与核心板之间的距离应尽量短，避免过孔与连接器造成阻抗不连续。

表 3-4 PCIe 接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
PCIe 3.0	A163	PCIE30_LANE0_RXN	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A164	PCIE30_LANE0_RXP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A165	PCIE30_LANE0_TXN	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A166	PCIE30_LANE0_TXP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A167	PCIE30_LANE0_REFCLK_N	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A168	PCIE30_LANE0_REFCLKP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A160	PCIE30_LANE1_RXN	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A159	PCIE30_LANE1_RXP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A158	PCIE30_LANE1_TXN	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A157	PCIE30_LANE1_TXP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A162	PCIE30_LANE1_PCIE20_REFCLK_N	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
PCIe 3.0	A161	PCIE30_LANE1_PCIE20_REFCLK_P	AVDD0V75/18_HSGMII_PCIE	0.75/1.8

3.5 以太网接口

核心板提供 RGMII 千兆以太网接口，底板搭配 RTL8211F 等千兆 PHY、网络变压器与 RJ45。RGMII 包含 TXD0~TXD3、TXCLK、TXCTL、RXD0~RXD3、RXCLK、RXCTL、MDC、MDIO 与复位/中断信号。

RGMII 为单端高速并行总线，建议按 50 Ω 单端阻抗控制，TXD/RXD 与时钟之间做等长与 skew 控制；PHY 应靠近 RJ45 与变压器，RX/TX 走线避免跨分割；MDC/MDIO 加上拉；RJ45 的 Bob Smith 端接、中心抽头与屏蔽接地按 PHY 参考设计处理。

表 3-5 以太网接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
HSGMII	A172	HSGMII_RXN//USBSS_B_RXN//PCIE20_RXN	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
HSGMII	A171	HSGMII_RXP//USBSS_B_RXP//PCIE20_RXP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
HSGMII	A170	HSGMII_TXN//USBSS_B_TXN//PCIE20_TXN	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
HSGMII	A169	HSGMII_TXP//USBSS_B_TXP//PCIE20_TXP	AVDD0V75/18_HSGMII_PCIE	0.75/1.8
RGMII	B29	GPIOZ_0(UP)(ETH_A_MDIO//ISO7816_CLK//SDCARD_D0//SPI_E_MOSI//TDM_SCLK1//I2C_E_SDA//UART_D_CTS)	VDDIO_Z	1.8
RGMII	B28	GPIOZ_1(UP)(ETH_A_MDC//ISO7816_DATA//SDCARD_D1//SPI_E_MISO//TDM_FS1//I2C_E_SCL//UART_D_RTS)	VDDIO_Z	1.8
RGMII	B43	GPIOZ_2(UP)(ETH_A_RGMII_RX_CLK//TSIN_B_VALID//SDCARD_D2//SPI_E_SCLK//TDM_D2//I2C_F_SDA//UART_D_TX)	VDDIO_Z	1.8
RGMII	B44	GPIOZ_3(UP)(ETH_A_RX_DV//TSIN_B_SOP//SDCARD_D3//SPI_E_SS0//TDM_D3//I2C_F_SCL//UART_D_RX)	VDDIO_Z	1.8
RGMII	B42	GPIOZ_4(UP)(ETH_A_RXD0//TSIN_B_DIN0//SDCARD_CLK//SPI_F_MOSI//TDM_D4//I2C_G_SDA)	VDDIO_Z	1.8
RGMII	B41	GPIOZ_5(UP)(ETH_A_RXD1//TSIN_B_CLK//SDCARD_CMD//SPI_F_MISO//TDM_D5//I2C_G_SCL)	VDDIO_Z	1.8
RGMII	B40	GPIOZ_6(UP)(ETH_A_RXD2_RGMII//TSIN_B_FAIL//TSIN_A_VALID//SPI_F_SCLK//TDM_D6//I2C_H_SDA//UART_E_TX)	VDDIO_Z	1.8
RGMII	B39	GPIOZ_7(UP)(ETH_A_RXD3_RGMII//TSIN_B_DIN1//TSIN_A_SOP//SPI_F_SS0//TDM_D7//I2C_H_SCL//UART_E_RX)	VDDIO_Z	1.8
RGMII	B37	GPIOZ_8(UP)(ETH_A_RGMII_TX_CLK//TSIN_B_DIN2//TSIN_A_DIN0//SPI_B_SS2//TDM_D8//UART_E_CTS)	VDDIO_Z	1.8
RGMII	B31	GPIOZ_9(UP)(ETH_A_TXEN//TSIN_B_DIN3//TSIN_A_CLK//SPI_B_SS1//TDM_D9//UART_E_RTS)	VDDIO_Z	1.8
RGMII	B32	GPIOZ_10(DOWN)(ETH_A_TXD0//TSIN_B_DIN4//SPI_B_MOSI//TDM_D10)	VDDIO_Z	1.8
RGMII	B33	GPIOZ_11(DOWN)(ETH_A_TXD1//TSIN_B_DIN5//ISO7816_DATA//SPI_B_MISO//MCLK_2)	VDDIO_Z	1.8
RGMII	B34	GPIOZ_12(DOWN)(ETH_A_TXD2_RGMII//TSIN_B_DIN6//SPI_B_SCLK//TDM_SCLK2)	VDDIO_Z	1.8
RGMII	B35	GPIOZ_13(DOWN)(ETH_A_TXD3_RGMII//TSIN_B_DIN7//SPI_B_SS0//TDM_FS2)	VDDIO_Z	1.8
RGMII	B45	GPIOZ_14(OD18_33_HIZ)(I2C_C_SDA)	VDDIO_Z	1.8
RGMII	B30	GPIOZ_15(OD18_33_HIZ)(I2C_C_SCL)	VDDIO_Z	1.8

3.6 Wi-Fi / Bluetooth

核心板通过 SDIO 4-bit 接口连接 Wi-Fi/BT 模组，并提供 UART/PCM、32.768 kHz 时钟、WL_EN、BT_EN、WL_WAKE、BT_WAKE 等控制信号。Wi-Fi 6 与蓝牙版本取决于底板所选模组，订货前需确认模组型号与认证状态。

SDIO CLK、CMD、DATA0~3 应按 50 Ω 单端控制，CLK 与 DATA 做等长；模组电源需独立 LDO/DCDC 并加去耦；天线净空区按模组厂商要求设计，天线馈线按 50 Ω 控制，远离电池、金属结构与高速时钟。

表 3-6 Wi-Fi / Bluetooth 接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
控制/使能	A57	GPIOAO_11(DOWN)(I2C_D_SCL//PWM_A//RT_GPIO_14)	VDD3V3_AO	3.3
控制/使能	A56	GPIOAO_12(DOWN)(I2C_D_SDA//RT_GPIO_15)	VDD3V3_AO	3.3
WiFi SDIO	A65	GPIOX_0(UP)(SDIO_D0//PDM_DIN0//TSIN_B_DIN0//I2C_I_SDA//TDM_D6//ISO7816_CLK//I3C_B_SDA_D1)	VDDIO_X	1.8
WiFi SDIO	A64	GPIOX_1(UP)(SDIO_D1//PDM_DIN1//TSIN_B_SOP//I2C_I_SCL//TDM_D7//ISO7816_DATA//I3C_B_SDA_D0)	VDDIO_X	1.8
WiFi SDIO	A66	GPIOX_2(UP)(SDIO_D2//PDM_DIN2//TSIN_B_VALID//I2C_H_SDA//TDM_FS1//TDM_D8//I3C_B_SCL)	VDDIO_X	1.8
WiFi SDIO	A67	GPIOX_3(UP)(SDIO_D3//PDM_DIN3//TSIN_B_CLK//I2C_H_SCL//TDM_SCLK1//TDM_D9//I3C_B_SDA_D2)	VDDIO_X	1.8
WiFi SDIO	A68	GPIOX_4(UP)(SDIO_CLK//PDM_DCLK//MCLK_1//I3C_B_SDA_D3)	VDDIO_X	1.8
WiFi SDIO	B73	GPIOX_5(UP)(SDIO_CMD//PWM_C//TDM_D4)	VDDIO_X	1.8
控制/唤醒	B72	GPIOX_6(UP)(PWM_F//TDM_D5)	VDDIO_X	1.8
BT PCM/UART	B1	GPIOX_7(UP)(TDM_D1)	VDDIO_X	1.8
BT PCM/UART	A63	GPIOX_8(UP)(TDM_D0)	VDDIO_X	1.8
BT PCM/UART	B74	GPIOX_9(UP)(TDM_FS0)	VDDIO_X	1.8
BT PCM/UART	B2	GPIOX_10(UP)(TDM_SCLK0)	VDDIO_X	1.8
BT PCM/UART	A60	GPIOX_11(UP)(UART_A_TX)	VDDIO_X	1.8
BT PCM/UART	A61	GPIOX_12(UP)(UART_A_RX)	VDDIO_X	1.8
BT PCM/UART	A59	GPIOX_13(UP)(UART_A_CTS)	VDDIO_X	1.8
BT PCM/UART	A58	GPIOX_14(UP)(UART_A_RTS)	VDDIO_X	1.8
控制/唤醒	A62	GPIOX_15(UP)(PWM_K)	VDDIO_X	1.8
BT PCM/UART	B3	GPIOX_16(UP)	VDDIO_X	1.8
控制/唤醒	A55	GPIOX_17(HIZ)(PWM_H)	VDDIO_X	1.8

3.7 音频接口

核心板提供 I2S/PCM、PDM、SPDIF 与 HDMI eARC 等数字音频接口，底板搭配 Audio Codec、功放、耳机座与麦克风。模拟音频的质量取决于 Codec、电源、地与布局，核心板只负责数字信号。

I2S 的 MCLK/SCLK/LRCK/SDO/SDI 应按 50 Ω 单端控制，避免与高速差分并行；SPDIF 输出建议按 75 Ω 控制；PDM 时钟与数据远离模拟输入；耳机检测与麦克风检测需加去抖与 ESD；功放电源应独立并加 LC 滤波，避免开关噪声串入音频。

表 3-7 音频接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
I2S/TDM	A52	GPIOA_0(DOWN)(MCLK_1//RT_GPIO_19//ISO7816_CLK//TSIN_A_DIN0//ETH_B_MDIO)	VDDIO_A	3.1
I2S/TDM	A45	GPIOA_1(DOWN)(TDM_SCLK1//RT_GPIO_20//ISO7816_DATA//TSIN_A_SOP//ETH_B_MDC)	VDDIO_A	3.1
I2S/TDM	A46	GPIOA_2(DOWN)(TDM_FS1//RT_GPIO_21//TSIN_A_VALID//ETH_B_RGMII_RX_CLK)	VDDIO_A	3.1
I2S/TDM	B4	GPIOA_6(DOWN)(TDM_D5//RT_GPIO_25//I2C_E_SCL//TSIN_B_DIN0//TSIN_B_DIN0//ETH_B_RXD2_RGMII)	VDDIO_A	3.1
I2S/TDM	B7	GPIOA_7(DOWN)(TDM_D6//ISO7816_CLK//TSIN_B_CLK//TSIN_B_CLK//ETH_B_RXD3_RGMII)	VDDIO_A	3.1
I2S/TDM	A43	GPIOA_8(DOWN)(TDM_D7//ISO7816_DATA//SPI_C_MOSI//TSIN_B_FAIL//PCIE_A_PRESET//ETH_B_RGMII_TX_CLK)	VDDIO_A	3.1
I2S/TDM	B6	GPIOA_10(UP)(TDM_D9//PCIECK_A_REQN//SPI_C_SCLK//TSIN_B_DIN2//ETH_A_MDIO//ETH_B_TXD0)	VDDIO_A	3.1
I2S/TDM	A50	GPIOA_12(DOWN)(TDM_D11//RT_GPIO_26//I2C_I_SDA//TSIN_B_DIN4//ETH_B_TXD2_RGMII)	VDDIO_A	3.1
I2S/TDM	A48	GPIOA_13(DOWN)(TDM_D12//RT_GPIO_27//I2C_I_SCL//TSIN_B_DIN5//I3C_B_SDA_D1//ETH_B_TXD3_RGMII)	VDDIO_A	3.1
I2S/TDM	A38	GPIOA_16(DOWN)(MCLK_2//ISO7816_CLK//SPDIF_OUT//TSIN_B_DIN6//I3C_B_SDA_D2)	VDDIO_A	3.1
I2S/TDM	A39	GPIOA_17(DOWN)(TDM_SCLK2//ISO7816_DATA//TSIN_B_DIN7//I3C_B_SDA_D3)	VDDIO_A	3.1
I2S/TDM	B8	GPIOA_18(DOWN)(TDM_FS2//SPDIF_IN//CAN_A_TX//I3C_A_SDA)	VDDIO_A	3.1
I2S/TDM	A40	GPIOA_19(DOWN)(TDM_D15//CAN_A_RX//I3C_A_SCL)	VDDIO_A	3.1

注：PDM、SPDIF 与 I2S 共用 GPIOA/GPIOAO 复用，本板未单独引出 PDM/SPDIF 网络；如项目需要，请在附录 D 中选择复用脚，并在底板上配置 Codec、时钟与使能。

3.8 存储与 SD 卡接口

核心板板载 eMMC 5.1，底板可经 SDIO 扩展 TF/SD 卡。SDIO 3.0 支持 4-bit 高速模式，卡座应靠近核心板，CLK/DATA/CMD 按 50 Ω 控制并做等长；卡座电源需加去耦与 ESD，CD 检测引脚加上拉与去抖。

若产品不需要 TF 卡，可将 SDIO 用于其他外设（如 Wi-Fi 模组），但需避免与 eMMC 启动引脚冲突。SD 卡热插拔时应对 DAT/CMD/CLK 做 ESD 防护，并保证卡座外壳接地良好。

表 3-8 存储与 SD 卡接口引脚与电源域

功能	引脚编号	引脚名称（含复用）	接口电源域	电压/V
SDIO	A195	GPIOC_0(UP)(SDCARD_D0//JTAG_B_TDO//SPI_D_MOSI//I2C_C_SCL//PDM_DIN0//UART_D_CTS//I3C_A_SCL)	VDDIO_C	3.3
SDIO	A193	GPIOC_1(UP)(SDCARD_D1//JTAG_B_TDI//SPI_D_MISO//I2C_C_SDA//PDM_DIN1//UART_D_RTS//I3C_A_SDA)	VDDIO_C	3.3
SDIO	A197	GPIOC_2(UP)(SDCARD_D2//SPI_D_SCLK//I2C_B_SCL//PDM_DIN2//RT_GPIO_16)	VDDIO_C	3.3
SDIO	A196	GPIOC_3(UP)(SDCARD_D3//SPI_D_SS0//I2C_B_SDA//PDM_DIN3//RT_GPIO_17)	VDDIO_C	3.3
SDIO	A191	GPIOC_4(UP)(SDCARD_CLK//JTAG_B_CLK//SPI_D_SS1//I2C_A_SCL//PDM_DCLK//RT_GPIO_18)	VDDIO_C	3.3
SDIO	A194	GPIOC_5(UP)(SDCARD_CMD//JTAG_B_TMS//SPI_D_SS2//I2C_A_SDA//UART_D_RX)	VDDIO_C	3.3
SDIO	A192	GPIOC_6(UP)(GEN_CLK_OUT//PCIECK_A_REQN//UART_D_TX)	VDDIO_C	3.3

3.9 低速接口与 GPIO

核心板引出多路 UART、I2C、SPI、PWM、ADC 与 GPIO，适合连接传感器、按键、指示灯、继电器、电机驱动、ADC 采样与工业控制外设。表 3-9 为资源数量汇总，实际可用数量受引脚复用与底板连接影响。

表 3-9 低速接口资源

资源	数量	说明
UART	6 路	含 1 路调试 UART0、1 路 UART_F
I2C	9 路	部分与 GPIO/其他功能复用
SPI	6 路	含 SPI-NOR/SPI-NAND 启动复用
PWM	14 路	背光、风扇、电机、指示灯
ADC	5 通道 10-bit	按键、电压/温度采样
GPIO	GPIOA/B/C/D/H/M/X/Y/Z	1.8V/3.3V 域，按复用表使用

使用 GPIO 时应注意上电默认状态：复位期间部分 GPIO 可能为高阻或内部下拉，不能用于驱动关键功率器件。需要确定电平的使能信号应加外部上下拉；长线 GPIO 应加 RC 滤波与 ESD；不同 IO 域之间必须做电平匹配，禁止将 3.3V 信号直接接入 1.8V IO。

3.10 接口复用与冲突

A311Y3 的引脚复用非常灵活，同一组引脚可配置为多种功能。进行底板设计前，应先完成“接口—控制器—引脚—电平—复用”的分配表，避免原理图阶段出现功能冲突。表 3-10 列出需要重点关注的复用关系。

表 3-10 重点接口复用关系

复用组	可选功能	设计注意事项
USB3.0 Host / PCIe 2.0 x1	USB3.0 Host 或 PCIe 2.0 x1	二选一；底板需用 0 Ω/拨码或独立电路选择

复用组	可选功能	设计注意事项
MIPI DSI / eDP / LVDS	DSI、eDP、LVDS	同一组 DIF lane；由硬件配置与软件设备树决定
HDMI TX / HDMI RX	HDMI 输出或输入	两套独立控制器；可同时使用，但需确认引脚与电源
SDIO / TF 卡 / Wi-Fi	SD 卡或 SDIO Wi-Fi	共享 SDIO 控制器；不能同时占用同一组引脚
UART / I2C / GPIO	调试、传感器、控制	按功能分配；保留调试 UART
PWM / GPIO	背光、风扇、指示灯	注意上电默认电平与驱动能力

复用检查：表中只列出常见复用关系，并非全部。具体引脚复用表以 SoC 规格书、核心板原理图和《X311Y3CV1 引脚定义表》为准。底板原理图评审时，应逐个网络核对 IO 电平、方向、上电默认状态与复用配置。

第 4 章 PCB 设计与 Layout 指南

4.1 阻抗控制

底板设计时应把核心板到连接器的走线表 4-1 给出的阻抗要求纳入同一套阻抗规则.

表 4-1 PCB 阻抗控制要求

信号类型	目标阻抗	备注
USB2.0 差分	90 Ω	D+/D-
USB3.0/PCIe2.0/HSGMII	95 Ω	复用组
USB3.0 Type-C/DP	90 Ω	Type-C/DP 复用
DP AUX	100 Ω	辅助通道
PCIe 3.0 数据	85 Ω	LANE0/1
PCIe 参考时钟	100 Ω	REFCLK
LVDS/MIPI/VX1/eDP	100 Ω	显示/摄像头
HDMI TX/RX	90 Ω	TMDS
HDMI eARC	100 Ω	音频回传
RGMII	50 Ω 单端	时钟/数据等长

4.2 高速差分接口

HDMI、USB3.0、PCIe、MIPI、eDP、LVDS 等高速差分接口应遵循以下通用规则：

• 差分对尽量走同一层，避免换层；必须换层时在过孔附近放置回流地过孔。

• 差分对下方参考平面完整，不跨越分割；远离 DCDC 电感、晶振、时钟与复位线。

• 差分对内等长，建议 ≤5 mil；对间等长按协议要求，通常 ≤20 mil。

• 连接器、ESD、共模电感按信号流向排列，尽量缩短桩线；ESD 器件应靠近连接器。

• PCIe TX 加 AC 耦合电容；HDMI/USB 的 +5V 加限流与 TVS；Type-C CC 电阻按角色配置。

HDMI 的 TMDS 对间应避免长距离并行；USB3.0 的 SSRX/SSTX 不要与 USB2.0 D+/D- 交叉；PCIe 的 REFCLK 应远离 TX/RX；MIPI CSI 的时钟与数据对之间保持地屏蔽。

4.3 以太网与 Wi-Fi

RGMII 为单端并行总线，建议按 50 Ω 控制，TXD/RXD 与时钟做等长与 skew 控制；PHY 尽量靠近 RJ45 与网络变压器，RX/TX 走线避免跨分割；MDC/MDIO 加上拉与 ESD；RJ45 的屏蔽壳与 Bob Smith 端接按 PHY 参考设计处理。

Wi-Fi/BT 模组的 SDIO 走线按 50 Ω 控制，CLK 与 DATA 等长；模组电源独立 LDO/DCDC，加 10 μF + 0.1 μF 去耦；32.768 kHz 时钟远离 SDIO 与电源；天线馈线按 50 Ω 控制，天线净空区不得铺铜或放电池/金属件。

若产品需要 Wi-Fi 认证，天线匹配、净空、接地与整机结构应在早期打样阶段验证；不要等量产前才调整天线位置。

4.4 底板设计检查清单

- 叠层与阻抗：HDMI/USB/PCIe/MIPI/eDP/RGMII 是否按表 4-1 设置？
- 参考平面：高速差分下方是否完整？是否跨分割？回流地过孔是否足够？
- 电源：12V 输入保护、输入电容、3.3V/1.8V 去耦是否到位？
- 复位/启动：RESET_N、PWR_KEY、POC 上下拉与拨码是否正确？
- ESD：所有外部接口是否放置 TVS？器件是否靠近连接器？
- 连接器：HDMI/USB/PCIe/Type-C/RJ45 的引脚、极性、屏蔽与固定脚是否正确？
- 时钟：晶振、RTC、PCIe REFCLK、RGMII 时钟是否远离干扰？

第 5 章 软件与系统开发

5.1 支持的操作系统

X311Y3CV1 支持 Android 16 与 Linux 6.12.69。Android 适合人机交互、商业显示、智能终端与多媒体应用；Linux 适合工业控制、边缘计算、机器视觉与定制化服务。具体 BSP、内核配置、设备树与驱动版本以九鼎创展发布的固件包为准。

表 5-1 支持的操作系统

系统	版本	适用场景
Android	Android 16	商业显示、智能终端、交互设备、多媒体
Linux	Linux 6.12.69	工业控制、边缘计算、机器视觉、定制服务

5.2 驱动支持

表 5-2 为当前固件包的驱动支持概况。标记“●”表示已支持，“△”表示规划中或以发布版本为准。实际项目应在选定固件版本后逐项验证，不要仅依据表格判断。

表 5-2 驱动支持概况

功能	Android 16	Linux 6.12.69	备注
7 寸 MIPI 屏（1024×600）	●	△	以屏参与设备树为准
7 寸 MIPI 屏（1920×1200）	●	△	以屏参与设备树为准
背光/触摸	●	△	I2C 触摸；PWM 背光
eMMC / SD 卡	●	△	eMMC 5.1；SDIO 4-bit
USB Host / OTG	●	△	USB2.0/3.0；Type-C
PCIe	●	△	PCIe 3.0 x2 / 2.0 x1
HDMI TX/RX	●	△	HDMI 2.1a；eARC
千兆以太网	●	△	RTL8211F
Wi-Fi / BT	●	△	模组选型决定版本
音频/录音	●	△	Codec/功放按底板设计
MIPI CSI 摄像头	△	△	按传感器与 ISP 调优
UART/I2C/SPI/PWM/ADC	●	△	按设备树配置
RTC/按键/休眠唤醒	●	△	按硬件设计
Uboot/烧录	●	●	Type-C OTG / TF 卡

驱动确认：驱动支持与具体外设型号、设备树、内核配置和固件版本强相关。表中“●”只表示平台具备对应驱动能力，不代表任意型号的外设都能直接工作；项目立项时应提供外设型号、原理图与规格书，由 FAE 评估。

5.3 调试与故障排查

调试串口是定位问题的第一入口。上电后应先确认 12V、3.3V/1.8V、PWR_CTL1/2、RESET_N，再查看 U-Boot/内核日志。常见问题包括电源不足、复位未释放、启动介质配置错误、eMMC 虚焊、DDR 初始化失败、显示时序不匹配与 USB/PCIe 复用冲突。

表 5-3 常见故障排查

现象	优先检查	可能原因
上电无串口输出	12V、3.3V、RESET_N、时钟	电源不足、复位拉低、晶振未起振
串口乱码	波特率、地线、TX/RX	波特率错误、电平不匹配、干扰
无法进入烧录模式	BOOT/POC、Type-C、驱动	BOOT 键时序、线材、USB 驱动
eMMC 识别失败	eMMC 供电、焊接、DS	虚焊、器件损坏、启动配置
HDMI 无显示	HPD、DDC、TMDS、电源	连接器、ESD、阻抗、时序
USB3.0 不稳定	SS 差分、CC、VBUS	阻抗、复用冲突、供电不足
PCIe 设备不识别	REFCLK、PERST#、AC 耦合	时钟、复位、供电、复用
Wi-Fi 无法启动	SDIO、32K、WL_EN	模组电源、固件、天线

第 6 章 评估底板与接口速查

6.1 评估底板接口图

图 6-1 为基于 X311Y3CV1 的评估底板接口示意，用于快速识别常见接口位置。该图展示的是评估底板，不是核心板本体；核心板尺寸、焊盘与引脚定义以第 1 章和第 3 章为准。

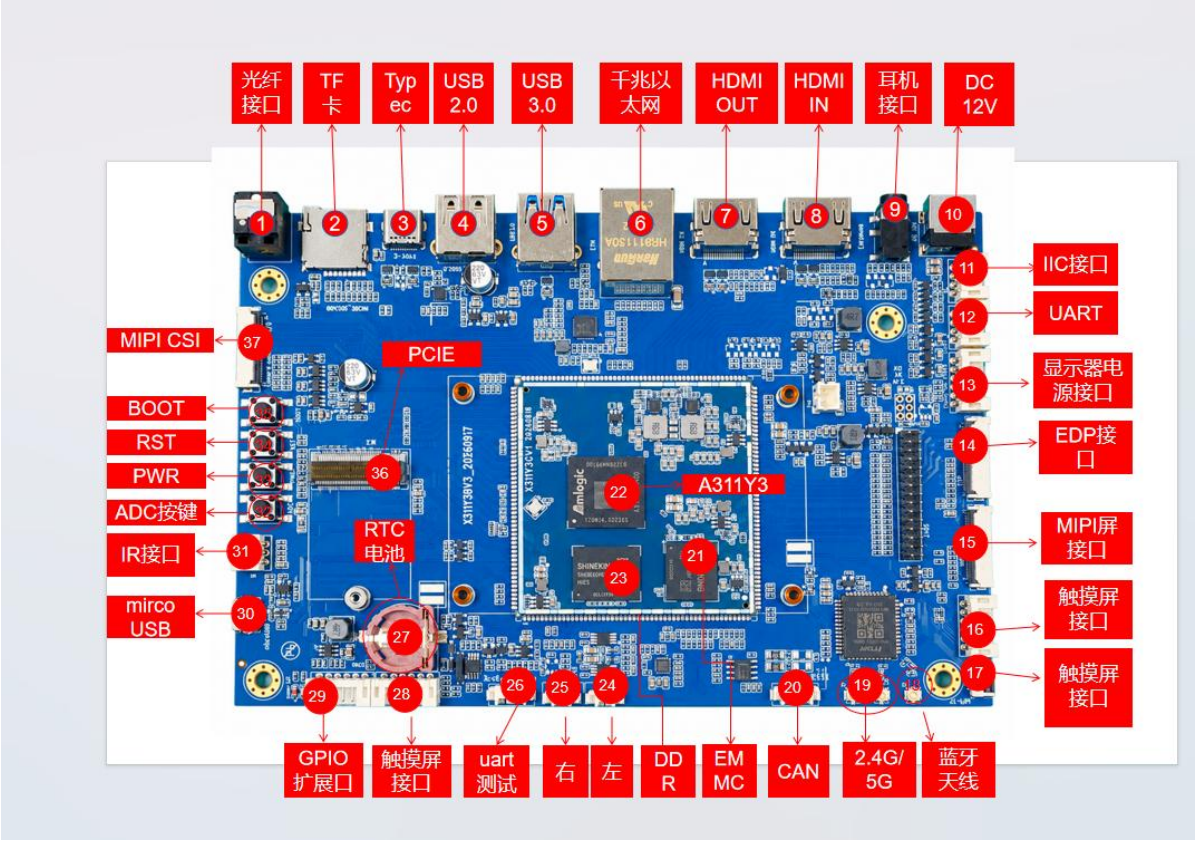


图 6-1 A311Y3 评估底板接口示意

评估底板覆盖 HDMI TX/RX、MIPI DSI/eDP、MIPI CSI、USB3.0/2.0、PCIe、千兆以太网、Wi-Fi/BT、音频、TF 卡、RTC、红外、按键、GPIO 与调试串口，可作为底板设计的参考。实际产品应根据结构、认证与成本进行裁剪。

6.2 接口编号速查

表 6-1 与图 6-1 的红色编号一一对应，便于硬件调试与生产测试时快速定位。

表 6-1 评估底板接口编号速查

编号	名称	编号	名称
1	光纤接口	20	CAN 接口
2	TF 卡接口	21	EMMC
3	TypeC	22	A311Y3
4	USB2.0	23	DDR
5	USB3.0	24	左喇叭
6	千兆以太网	25	右喇叭
7	HDMI OUT	26	UART 调试
8	HDMI IN	27	RTC 电池
9	耳机接口	28	触摸屏接口
10	DC12V	29	GPIO 扩展接口
11	IIC 接口	30	micro USB
12	UART 接口	31	IR 接口
13	显示器电源接口	32	ADC 按键
14	EDP 屏接口	33	PWR 按键
15	MIPI 屏接口	34	RST 按键
16	触摸屏接口	35	BOOT 按键
17	触摸屏接口	36	PCIE 接口
18	蓝牙天线	37	MIPI 摄像头
19	2.4G/5G 天线		

6.3 典型应用建议

以评估底板为参考进行产品设计时，建议保留调试 UART、BOOT 键、RESET 键、Type-C OTG 与测试点；根据产品形态裁剪音频、红外、CAN、TF 卡与 GPIO。若产品需要金属外壳，应重新评估 Wi-Fi/BT 天线净空与散热。

对于需要双屏显示的产品，应确认 DSI/eDP/LVDS 与 HDMI 的时钟、电源与背光控制资源；对于多摄产品，应确认 CSI_A/B 与 CSI_C/D 的 lane 分配、MCLK 与 I2C 地址；对于 PCIe 产品，应确认 PCIe 2.0 x1 与 USB3.0 Host 的复用选择。

第 7 章 订货与技术支持

7.1 订货配置

订货时请提供以下信息：核心板型号 X311Y3CV1、内存容量、eMMC 容量、操作系统、工作温度、是否需要定制散热/屏蔽罩、预计批量与交期。标准配置为 8 GB LPDDR5X + 64 GB eMMC 5.1。

表 7-1 订货配置

配置项	标准配置	可选配置	订货说明
内存	8 GB LPDDR5X	16 GB LPDDR5X	板载，不可后期更换
存储	64 GB eMMC 5.1	128 GB / 256 GB	容量与批次相关
系统	Android 16	Linux 6.12	固件与驱动按项目确认
温度	-10~70°C	—	宽温项目需热测试
包装	防静电托盘/卷带	按批量	以出货通知为准

7.2 技术支持

九鼎创展提供原理图评审、引脚定义、电源/时序、PCB 评审、驱动适配与量产导入支持。联系技术支持时，请提供：项目名称、核心板型号与批次、底板原理图/PCB、问题现象、串口日志、测试条件与已做的排查。

如需定制内存/存储、宽温、屏蔽罩、散热方案或特殊接口配置，请在项目立项阶段提出，以便评估物料、结构与认证周期。

附录 A 其他产品介绍

核心板系列

处理器型号	核心板型号	备注
S5P4418	X4418CV3.5/X4418CV4	180PIN 邮票孔接口
	I4418CV2	200PIN 板对板连接器
S5P6818	X6818CV3.5/X6818CV4	180PIN 邮票孔接口
	I6818CV2	200PIN 板对板连接器
RK3128	X3128CV4	144PIN 邮票孔接口
	I3128CV1	112PIN 邮票孔接口
PX30	X30CV1	144PIN 邮票孔接口
	X30CV2	144PIN 邮票孔接口
RK3288	X3288CV5	180PIN 邮票孔接口
	I3288CV1	220PIN 邮票孔接口
RK3399	X3399CV3	200PIN 邮票孔接口
	X3399CV4/X3399CV5	200PIN 邮票孔接口
RK3399pro	X3399proCV1.2	220PIN 邮票孔接口
RK1808	X1808CV1	144PIN 邮票孔接口
MT8385	X8385CV1	168PIN 邮票孔接口
MT8768	X8768CV1	168PIN 邮票孔接口
A40I	X40ICV2	172PIN 邮票孔接口
T507	X507CV2	172PIN 邮票孔接口
RK3566	X3566CV2/X3566CV3	200PIN 邮票孔接口
RK3566	I3566CV1	172PIN 邮票孔接口
RK3568	X3568CV2/X3568CV3	200PIN 邮票孔接口
RK3568	I3568CV1	172PIN 邮票孔接口
RK3588	I3588CV1	320PIN 板对板连接器

RK3588S	X5388SCV1	200PIN 邮票孔接口
JH7110	X7110CV2	172PIN 邮票孔接口

开发板系列

处理器型号	开发板型号	备注
S5P4418	x4418 开发板	x4418cv3 评估板
S5P6818	x6818 开发板	x6818cv3 评估板
	i6818 开发板	i6818cv2 评估板
RK3128	X3128 开发板	x3128cv4 评估板
	I3128 开发板	I3128CV1 评估板
PX30	X30 开发板	x30cv1 评估板
RK3288	x3288 开发板	x3288cv3 评估板
	i3288 开发板	i3288cv1 评估板
RK3399	x3399 开发板	x3399cv3/x3399cv4 评估板
RK3399pro	x3399pro 开发板	x3399pro 评估板
RK1808	x1808 开发板	x1808cv1 评估板
MT8385	X8385 开发板	X8385CV1 评估板
MT8768	X8768 开发板	X8768CV1 评估板
A40I	X40I 开发板	X40ICV2 评估板
T507	X507 开发板	X507CV2 评估板
RK3566	X3566 开发板	X3566CV1 评估板
RK3566	I3566 公板	I3566CV1 评估板
RK3568	X3568 开发板	X3568CV2 评估板
RK3568	I3568 公板	I3568CV1 评估板
RK3588	I3588 开发板	I3588CV1 评估板
RK3588S	X3588S 开发板	X3588SCV1 评估板
JH7110	X7110 开发板	X7110CV2 开发板

卡片电脑系列

处理器型号	卡片电脑型号	备注
S5P4418	ibox4418 卡片电脑	
S5P6818	ibox6818 卡片电脑	
RK3399	ibox3399 卡片电脑	
RK3568	ibox3568 卡片电脑	

说明：产品详细规格，以及更多其他产品请关注九鼎创展官方网站和论坛。

附录 B 术语与缩写

表 B-1 术语与缩写

缩写	英文/中文	说明
SoC	System on Chip	片上系统
NPU	Neural Processing Unit	神经网络处理单元
GPU	Graphics Processing Unit	图形处理器
LPDDR5X	Low Power DDR5X	低功耗内存
eMMC	Embedded MultiMediaCard	嵌入式多媒体存储
DSI	Display Serial Interface	MIPI 显示接口
CSI	Camera Serial Interface	MIPI 摄像头接口
eDP	Embedded DisplayPort	嵌入式显示接口
LVDS	Low-Voltage Differential Signaling	低压差分信号
HDMI	High-Definition Multimedia Interface	高清多媒体接口
eARC	Enhanced Audio Return Channel	增强音频回传
RGMII	Reduced Gigabit Media Independent Interface	精简千兆媒体接口
PCIe	Peripheral Component Interconnect Express	高速串行扩展总线
POC	Power-On Config	上电配置/启动选择
ESD	Electro-Static Discharge	静电放电
HDI	High Density Interconnect	高密度互连 PCB

附录 C 版本记录

版本	日期	修改内容	作者
V1.0	2026-10-23	首次发布；基于 X311Y3CV10_20260512 原理图与 A311Y3 开发板硬件手册整理	九鼎创展

附录 D A311Y3 SoC 引脚与网络定义

说明：附录 D 的电源引脚均为输入/参考/去耦，核心板不向外输出电源；VDD_EE、VDD_A78、VDD_A55、VDD_GPU、VDD_NPU、VDD_DDR、VDD_2H2、VDDQ 由核心板内部 DCDC 产生，不引出。

本附录根据随板《X311Y3 开发板硬件手册》中的核心板引脚定义整理，覆盖 U1A~U1N 共 14 个封装分区、286 条引脚/网络映射。表中“封装”为原理图 U1A~U1N 分区，“信号名称”为 SoC 引脚名，“板级连接”为设计资料中的连接说明。

表 D-1 U1A/U1B/U1C 引脚与网络定义

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1A	A92	VCC_VIN_STANDBY	接 12V_STANDBY
U1A	A93	VCC_VIN	接 12V_STANDBY
U1A	A94	VCC_VIN	接 12V_STANDBY
U1A	A95	VCC_VIN	接 12V_STANDBY
U1A	A33	VDD3V3_AO	接 VDD3V3_AO
U1A	A34	VDD3V3_AO	接 VDD3V3_AO
U1A	A97	VDD1V8_AO	接 VDD1V8_AO
U1A	A98	AVDD1V8	接 AVDD1V8
U1A	B25	AVDD3V1	接 AVDD3V1
U1A	A6	VDD1V8_AO	接 VDD1V8_AO
U1A	A96	VCC_VIN	接 12V_STANDBY
U1A	A37	VDDIO_3V3	接 VDDIO_3V3
U1B	A14	VDDIO_D_POR	接 VDD3V1_AO
U1B	A199	GPIOB_0(UP)(UART_B_TX)	网络 LINUX_UART_TX
U1B	A198	GPIOB_1(UP)(UART_B_RX)	网络 LINUX_UART_RX
U1B	A8	GPIOB_2(UP)(I2C_A_SCL//SPI_A_SCLK//I3C_A_SCL//RT_GPIO_0)	网络 PWR_CTL2
U1B	A11	GPIOB_3(UP)(I2C_A_SDA//SPI_A_MOSI//I3C_A_SDA)	网络 POWER_KEY
U1B	A202	GPIOB_4(DOWN)(IR_OUT//SPI_A_MISO//CLK_32K_IN//RT_GPIO_1)	网络 RTC32K_TO_SOC
U1B	A201	GPIOB_5(UP)(IR_IN//SPI_A_SS0//RT_GPIO_2)	网络 IR_IN
U1B	A204	GPIOB_6(DOWN)(I2C_A_SCL//SPI_A_SS1//MIC_MUTE_EN//RT_GPIO_3)	网络 TP_A_I2C_A_SCL
U1B	A205	GPIOB_7(DOWN)(I2C_A_SDA//SPI_A_SS2//MIC_MUTE_KEY)	网络 TP_A_I2C_A_SDA
U1B	A206	GPIOB_8(DOWN)(JTAG_A_CLK//IR_OUT//UART_E_TX)	网络 TP_A_RST
U1B	A207	GPIOB_9(UP)(JTAG_A_TMS//IR_IN//UART_E_RX)	网络 TP_A_INT

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1B	A10	GPIOB_10(UP)(PWM_A_HIZ//JTAG_A_TDI//PWM_A//PWM_C_HIZ//UART_E_CTS//RT_GPIO_4)	网络 HP_DET
U1B	A16	GPIOB_11(UP)(SPDIF_IN//JTAG_A_TDO//PWM_G//PWM_G_HIZ//UART_E_RTS//RT_GPIO_5)	网络 SYS_LED
U1B	A203	GPIOB_12(DOWN)(SPDIF_OUT//GEN_CLK_OUT)	网络 VDDIOC_SW
U1B	A200	GPIOB_13(UP)(I2C_C_SCL//SPDIF_OUT//SPDIF_IN//RT_GPIO_6)	网络 GPIOD_T3
U1B	A105	GPIOB_14(OD33)(I2C_C_SDA//IWD_RSTO//WD_RSTO//RT_GPIO_7)	网络 HDMI_CEC
U1B	A9	GPIOB_15(UP)(I2C_D_SCL//PMIC_SLEEP//STR_EN)	网络 USBCC_INT_L
U1B	A7	GPIOB_16(UP)(I2C_D_SDA)	网络 RTC_INT_L
U1B	A15	GPIOB_17(OD33Z_HIZ)(WD_RSTO//CEC)	网络 USB_C_PWR_EN
U1B	A208	RESET_N(HIZ)	网络 CPU_RST
U1B	A1	TEST_N	网络 TEST_N；不被看门狗复位，必须默认上拉
U1B	A100	PMIC_GPIO6_POWER_KEY	主板电源为离散式 DCDC，无 PMIC，因此这 5 个引脚为未连接（NC）。
U1B	A101	PMIC_GPIO7_PWR_CTL1；	主板电源为离散式 DCDC，无 PMIC，因此这 5 个引脚为未连接（NC）。
U1B	A102	PMIC_GPIO7_PWR_CTL2；	主板电源为离散式 DCDC，无 PMIC，因此这 5 个引脚为未连接（NC）。
U1B	A103	PMIC_GPIO9_LED1；	主板电源为离散式 DCDC，无 PMIC，因此这 5 个引脚为未连接（NC）。
U1B	A104	PMIC_GPIO10_LED2；	主板电源为离散式 DCDC，无 PMIC，因此这 5 个引脚为未连接（NC）。
U1B	A12	ADDIO_AO	VDD1V8_AO
U1B	A5	GPIOAO_0(HIZ)(PWM_A//I2C_A_SCL//SPI_A_SCLK//PMIC_SLEEP//RT_GPIO_8)	网络 PWMA，5TP1
U1B	A3	GPIOAO_1(HIZ)(PWM_B//I2C_A_SDA//SPI_A_MOSI//STR_EN//RT_GPIO_9)	网络 PWMB，5TP2
U1B	A4	GPIOAO_2(HIZ)(PWM_C//CLK25M//SPI_A_MISO//UART_C_CTS//CLK_32K_IN//RT_GPIO_10)	网络 PWMC，5TP3
U1B	A2	GPIOAO_3(HIZ)(PWM_D//CLK12M_24M//SPI_A_SS0//UART_C_RTS//RT_GPIO_11)	网络 PWMD，5TP4
U1B	B16	GPIOAO_6(DOWN)(PDM_DIN0//I2C_C_SCL//SPI_B_SCLK//PWM_G)	网络 I2C_C_SCL
U1B	B18	GPIOAO_7(UP)(PDM_DIN1//I2C_C_SDA//SPI_B_SS0)	网络 I2C_C_SDA

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1B	B15	GPIOAO_8(UP)(PDM_DIN2//I2C_D_SCL//SPI_B_SS1)	网络 GPIOAO_8
U1B	B14	GPIOAO_9(UP)(PDM_DIN3//I2C_D_SDA//SPI_B_SS2)	网络 GPIOAO_9
U1B	B17	GPIOAO_10(UP)(PDM_DCLK)	网络 GPIOAO_10
U1B	A57	GPIOAO_11(DOWN)(I2C_D_SCL//PWM_A//RT_GPIO_14)	网络 WIFI_PWREN
U1B	A56	GPIOAO_12(DOWN)(I2C_D_SDA//RT_GPIO_15)	网络 BT_EN
U1B	A13	VDDIO_C	VDDIO_C_P(3V3)
U1B	A195	GPIOC_0(UP)(SDCARD_D0//JTAG_B_TDO//SPI_D_MOSI//I2C_C_SCL//PDM_DIN0//UART_D_CTS//I3C_A_SCL)	网络 SD_D0
U1B	A193	GPIOC_1(UP)(SDCARD_D1//JTAG_B_TDI//SPI_D_MISO//I2C_C_SDA//PDM_DIN1//UART_D_RTS//I3C_A_SDA)	网络 SD_D1
U1B	A197	GPIOC_2(UP)(SDCARD_D2//SPI_D_SCLK//I2C_B_SCL//PDM_DIN2//RT_GPIO_16)	网络 SD_D2
U1B	A196	GPIOC_3(UP)(SDCARD_D3//SPI_D_SS0//I2C_B_SDA//PDM_DIN3//RT_GPIO_17)	网络 SD_D3
U1B	A191	GPIOC_4(UP)(SDCARD_CLK//JTAG_B_CLK//SPI_D_SS1//I2C_A_SCL//PDM_DCLK//RT_GPIO_18)	网络 SD_CLK
U1B	A194	GPIOC_5(UP)(SDCARD_CMD//JTAG_B_TMS//SPI_D_SS2//I2C_A_SDA//UART_D_RX)	网络 SD_CMD
U1B	A192	GPIOC_6(UP)(GEN_CLK_OUT//PCIECK_A_REQN//UART_D_TX)	网络 CARD_DET
U1C	A150	CSI_A_CLKN	网络 CSI_A_CLKN
U1C	A149	CSI_A_CLKP	网络 CSI_A_CLKP
U1C	A146	CSI_A_D0N	网络 CSI_A_D0N
U1C	A145	CSI_A_D0P	网络 CSI_A_D0P
U1C	A148	CSI_A_D1N	网络 CSI_A_D1N
U1C	A147	CSI_A_D1P	网络 CSI_A_D1P
U1C	A152	CSI_A_D2N//CSI_B_D0N	网络 CSI_A_D2N
U1C	A151	CSI_A_D2P//CSI_B_D0P	网络 CSI_A_D2P
U1C	A154	CSI_A_D3N//CSI_B_D1N	网络 CSI_A_D3N
U1C	A153	CSI_A_D3P//CSI_B_D1P	网络 CSI_A_D3P
U1C	A156	CSI_B_CLKN	网络 CSI_B_CLKN
U1C	A155	CSI_B_CLKP	网络 CSI_B_CLKP
U1C	A136	CSI_C_CLKN	板端 NC
U1C	A135	CSI_C_CLKP	板端 NC
U1C	A132	CSI_C_D0N	板端 NC
U1C	A131	CSI_C_D0P	板端 NC
U1C	A134	CSI_C_D1N	板端 NC

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1C	A133	CSI_C_D1P	板端 NC
U1C	A138	CSI_C_D2N//CSI_D_D0N	板端 NC
U1C	A137	CSI_C_D2P//CSI_D_D0P	板端 NC
U1C	A140	CSI_C_D3N//CSI_D_D1N	板端 NC
U1C	A139	CSI_C_D3P//CSI_D_D1P	板端 NC
U1C	A142	CSI_D_CLKN	板端 NC
U1C	A141	CSI_D_CLKP	板端 NC
U1C	A144	CM_MCLK0	网络 CMA_MCLK
U1C	A130	CM_MCLK1	网络 CMB_MCLK
U1C	A143	CM_MCLK2	板端 NC
U1C	A129	CM_MCLK3	网络 CMD_MCLK

表 D-2 U1D/U1E/U1F/U1G 引脚与网络定义

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1D	A88	DIF_CH0N(EDP_A_AUXN//DSI_A_D0N//LVDS_A_0N//VX1_A_0N)	网络 EDP_A_AUXN/DSI_A_D0N/LVDS_A_0N/VX1_A_0N
U1D	A87	DIF_CH0P(EDP_A_AUXP//DSI_A_D0P//LVDS_A_0P//VX1_A_0P)	网络 EDP_A_AUXP/DSI_A_D0P/LVDS_A_0P/VX1_A_0P
U1D	A86	DIF_CH1N(EDP_A_0N//DSI_A_D1N//LVDS_A_1N//VX1_A_1N)	网络 EDP_A_0N/DSI_A_D1N/LVDS_A_1N/VX1_A_1N
U1D	A85	DIF_CH1P(EDP_A_0P//DSI_A_D1P//LVDS_A_1P//VX1_A_1P)	网络 EDP_A_0P/DSI_A_D1P/LVDS_A_1P/VX1_A_1P
U1D	A84	DIF_CH2N(EDP_A_1N//DSI_A_CKN//LVDS_A_2N//VX1_A_2N)	网络 EDP_A_1N/DSI_A_CKN/LVDS_A_2N/VX1_A_2N
U1D	A83	DIF_CH2P(EDP_A_1P//DSI_A_CKP//LVDS_A_2P//VX1_A_2P)	网络 EDP_A_1P/DSI_A_CKP/LVDS_A_2P/VX1_A_2P
U1D	A82	DIF_CH3N(EDP_A_2N//DSI_A_D2N//LVDS_A_CLKN//VX1_A_3N)	网络 EDP_A_2N/DSI_A_D2N/LVDS_A_CLKN/VX1_A_3N
U1D	A81	DIF_CH3P(EDP_A_2P//DSI_A_D2P//LVDS_A_CLKP//VX1_A_3P)	网络 EDP_A_2P/DSI_A_D2P/LVDS_A_CLKP/VX1_A_3P
U1D	A80	DIF_CH4N(EDP_A_3N//DSI_A_D3N//LVDS_A_3N//VX1_A_4N)	网络 EDP_A_3N/DSI_A_D3N/LVDS_A_3N/VX1_A_4N
U1D	A79	DIF_CH4P(EDP_A_3P//DSI_A_D3P//LVDS_A_3P//VX1_A_4P)	网络 EDP_A_3P/DSI_A_D3P/LVDS_A_3P/VX1_A_4P
U1D	A78	DIF_CH5N(DSI_B_D0N//LVDS_B_0N//VX1_A_5N)	网络 DSI_B_D0N/LVDS_B_0N/VX1_A_5N
U1D	A77	DIF_CH5P(DSI_B_D0P//LVDS_B_0P//VX1_A_5P)	网络 DSI_B_D0P/LVDS_B_0P/VX1_A_5P
U1D	A76	DIF_CH6N(DSI_B_D1N//LVDS_B_1N//VX1_A_6N)	网络 DSI_B_D1N/LVDS_B_1N/VX1_A_6N

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1D	A75	DIF_CH6P(DSI_B_D1P//LVDS_B_1P//VX1_A_6P)	网络 DSI_B_D1P/LVDS_B_1P/VX1_A_6P
U1D	A74	DIF_CH7N(DSI_B_CKN//LVDS_B_2N//VX1_A_7N)	网络 DSI_B_CKN/LVDS_B_2N/VX1_A_7N
U1D	A73	DIF_CH7P(DSI_B_CKP//LVDS_B_2P//VX1_A_7P)	网络 DSI_B_CKP/LVDS_B_2P/VX1_A_7P
U1D	A72	DIF_CH8N(DSI_B_D2N//LVDS_B_CLKN)	网络 DSI_B_D2N/LVDS_B_CLKN
U1D	A71	DIF_CH8P(DSI_B_D2P//LVDS_B_CLKP)	网络 DSI_B_D2P/LVDS_B_CLKP
U1D	A70	DIF_CH9N(DSI_B_D3N//LVDS_B_3N)	网络 DSI_B_D3N/LVDS_B_3N
U1D	A69	DIF_CH9P(DSI_B_D3P//LVDS_B_3P)	网络 DSI_B_D3P/LVDS_B_3P
U1E	B61	GPIOH_0(OD5V_HIZ)(HDMIRX_SDA//UART_C_TX//CAN_B_TX)	网络 HDMIRX_SDA
U1E	B60	GPIOH_1(OD5V_HIZ)(HDMIRX_SCL//UART_C_RX//CAN_B_RX)	网络 HDMIRX_SCL
U1E	B62	GPIOH_2(OD5V_HIZ)(HDMIRX_HPD)	网络 HDMIRX_HPD
U1E	B63	GPIOH_3(OD5V_HIZ)(HDMIRX_5VDET)	网络 HDMIRX_5V
U1E	A108	GPIOH_4(OD5V_HIZ)(HDMITX_SDA//I2C_F_SDA//PWM_M//PCIECK_A_REQN)	网络 HDMITX_SDA/TPB_I2C_F_SDA
U1E	A107	GPIOH_5(OD5V_HIZ)(HDMITX_SCL//I2C_F_SCL//PWM_VS//DP_HPD//PCIECK_B_REQN)	网络 HDMITX_SCL/TPB_I2C_F_SCL
U1E	A106	GPIOH_6(OD5V_HIZ)(HDMITX_HPD_IN//VX1_HTPDN//EDP_HPD)	网络 HDMITX_HPD/TPB_RST
U1E	B59	GPIOH_7(OD5V_HIZ)(VX1_LOCKN)	网络 HDMI_PWREN/TPB_VDD_EN
U1E	A123	HDMITX_D0N	网络 HDMI_TX0N
U1E	A124	HDMITX_D0P	网络 HDMI_TX0P
U1E	A125	HDMITX_D1N	网络 HDMI_TX1N
U1E	A126	HDMITX_D1P	网络 HDMI_TX1P
U1E	A127	HDMITX_D2N	网络 HDMI_TX2N
U1E	A128	HDMITX_D2P	网络 HDMI_TX2P
U1E	A121	HDMITX_CLKN	网络 HDMI_TXCN
U1E	A122	HDMITX_CLKP	网络 HDMI_TXCP
U1E	A119	HDMITX_EARC_RXN	网络 eARCRXN
U1E	A120	HDMITX_EARC_RXP	网络 eARCRXP
U1E	A109	HDMIRX_EARC_TXN	网络 eARCTXN
U1E	A110	HDMIRX_EARC_TXP	网络 eARCTXP
U1E	A111	HDMIRX_CLKN	网络 HDMIRX_A_CLKN
U1E	A112	HDMIRX_CLKP	网络 HDMIRX_A_CLKP

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1E	A113	HDMIRX_D0N	网络 HDMIRX_A_D0N
U1E	A114	HDMIRX_D0P	网络 HDMIRX_A_D0P
U1E	A115	HDMIRX_D1N	网络 HDMIRX_A_D1N
U1E	A116	HDMIRX_D1P	网络 HDMIRX_A_D1P
U1E	A117	HDMIRX_D2N	网络 HDMIRX_A_D2N
U1E	A118	HDMIRX_D2P	网络 HDMIRX_A_D2P
U1F	A163	PCIE30_LANE0_RXN	接 PCIE30_LANE0_RX_N
U1F	A164	PCIE30_LANE0_RXP	接 PCIE30_LANE0_RX_P
U1F	A165	PCIE30_LANE0_TXN	接 PCIE30_LANE0_TX_N
U1F	A166	PCIE30_LANE0_TXP	接 PCIE30_LANE0_TX_P
U1F	A167	PCIE30_LANE0_REFCLK_N	接 PCIE30_LANE0_REFCLK_N
U1F	A168	PCIE30_LANE0_REFCLKP	接 PCIE30_LANE0_REFCLK_P
U1F	A160	PCIE30_LANE1_RXN	网络 PCIE30_LANE1_RXN
U1F	A159	PCIE30_LANE1_RXP	网络 PCIE30_LANE1_RXP
U1F	A158	PCIE30_LANE1_TXN	网络 PCIE30_LANE1_TXN
U1F	A157	PCIE30_LANE1_TXP	网络 PCIE30_LANE1_TXP
U1F	A162	PCIE30_LANE1_PCIE20_REFCLK_N	板端 NC
U1F	A161	PCIE30_LANE1_PCIE20_REFCLK_P	板端 NC
U1G	A172	HSGMII_RXN//USBSS_B_RXN//PCIE20_RXN	网络 HSGMII_USBSS_Pcie20_RXN；
U1G	A171	HSGMII_RXP//USBSS_B_RXP//PCIE20_RXP	网络 HSGMII_USBSS_Pcie20_RXP；
U1G	A170	HSGMII_TXN//USBSS_B_TXN//PCIE20_TXN	网络 HSGMII_USBSS_Pcie20_TXN；
U1G	A169	HSGMII_TXP//USBSS_B_TXP//PCIE20_TXP	网络 HSGMII_USBSS_Pcie20_TXP；
U1G	A174	USB_B_HOST_DM	网络 USB_B_DM
U1G	A173	USB_B_HOST_DP	网络 USB_B_DP
U1G	B19	USB_CC1(I2C_F_SCL)	网络 DP_AUX_CTL1
U1G	B20	USB_CC2(I2C_F_SDA)	网络 DP_AUX_CTL2
U1G	A181	DP_TX_D3N//USBSS_A_RX1N	接 USB30_RX1N
U1G	A182	DP_TX_D3P//USBSS_A_RX1P	接 USB30_RX1P
U1G	A183	DP_TX_D2N//USBSS_A_TX1N	接 USB30_TX1N
U1G	A184	DP_TX_D2P//USBSS_A_TX1P	接 USB30_TX1P
U1G	A187	DP_TX_D1N//USBSS_A_RX2N	接 USB30_TX2N
U1G	A188	DP_TX_D1P//USBSS_A_RX2P	接 USB30_TX2P
U1G	A185	DP_TX_D0N//USBSS_A_TX2N	接 USB30_RX2N
U1G	A186	DP_TX_D0P//USBSS_A_TX2P	接 USB30_RX2P
U1G	A189	DP_TX_AUXN	网络 DP_TX_AUXN
U1G	A190	DP_TX_AUXP	网络 DP_TX_AUXP
U1G	A179	USB_A_OTG_DM	网络 USB_TYPEC_DM；

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1G	A180	USB_A_OTG_DP	网络 USB_TYPEC_DP；
U1G	B21	USB_A_OTG_ID	网络 USB_A_OTG_ID；
U1G	B22	USB_A_OTG_VBUS	网络 USB_A_OTG_VBUS；
U1G	A177	USB_D_OTG_DM	网络 USB_D_OTG_DM
U1G	A178	USB_D_OTG_DP	网络 USB_D_OTG_DP
U1G	B23	USB_D_OTG_ID	网络 USB_D_OTG_ID
U1G	B24	USB_D_OTG_VBUS	网络 USB_D_OTG_VBUS
U1G	A175	USB_C_HOST_DM	网络 USB_C_DM
U1G	A176	USB_C_HOST_DP	网络 USB_C_DP

表 D-3 U1H/U1I/U1J/U1K 引脚与网络定义

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1H	B27	VDDIO_Z	接 VDD1V8
U1H	B29	GPIOZ_0(UP)(ETH_A_MDIO//ISO7816_CLK//SDCARD_D0//SPI_E_MOSI//TDM_SCLK1//I2C_E_SDA//UART_D_CTS)	网络 RGMII_MDIO
U1H	B28	GPIOZ_1(UP)(ETH_A_MDC//ISO7816_DATA//SDCARD_D1//SPI_E_MISO//TDM_FS1//I2C_E_SCL//UART_D_RTS)	网络 RGMII_MDC
U1H	B43	GPIOZ_2(UP)(ETH_A_RGMII_RX_CLK//TSIN_B_VALID//SDCARD_D2//SPI_E_SCLK//TDM_D2//I2C_F_SDA//UART_D_TX)	网络 RGMII_RX_CLK
U1H	B44	GPIOZ_3(UP)(ETH_A_RX_DV//TSIN_B_SOP//SDCARD_D3//SPI_E_SS0//TDM_D3//I2C_F_SCL//UART_D_RX)	网络 RGMII_RXDV
U1H	B42	GPIOZ_4(UP)(ETH_A_RXD0//TSIN_B_DIN0//SDCARD_CLK//SPI_F_MOSI//TDM_D4//I2C_G_SDA)	网络 RGMII_RXD0
U1H	B41	GPIOZ_5(UP)(ETH_A_RXD1//TSIN_B_CLK//SDCARD_CMD//SPI_F_MISO//TDM_D5//I2C_G_SCL)	网络 RGMII_RXD1
U1H	B40	GPIOZ_6(UP)(ETH_A_RXD2_RGMII//TSIN_B_FAIL//TSIN_A_VALID//SPI_F_SCLK//TDM_D6//I2C_H_SDA//UART_E_TX)	网络 RGMII_RXD2
U1H	B39	GPIOZ_7(UP)(ETH_A_RXD3_RGMII//TSIN_B_DIN1//TSIN_A_SOP//SPI_F_SS0//TDM_D7//I2C_H_SCL//UART_E_RX)	网络 RGMII_RXD3
U1H	B37	GPIOZ_8(UP)(ETH_A_RGMII_TX_CLK//TSIN_B_DIN2//TSIN_A_DIN0//SPI_B_SS2//TDM_D8//UART_E_CTS)	网络 RGMII_TX_CLK
U1H	B31	GPIOZ_9(UP)(ETH_A_TXEN//TSIN_B_DIN3//TSIN_A_CLK//SPI_B_SS1//TDM_D9//UART_E_RTS)	网络 RGMII_TXEN
U1H	B32	GPIOZ_10(DOWN)(ETH_A_TXD0//TSIN_B_DIN4//SPI_B_MOSI//TDM_D10)	网络 RGMII_TXD0

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1H	B33	GPIOZ_11(DOWN)(ETH_A_TXD1//TSIN_B_DIN5//ISO7816_DATA//SPI_B_MISO//MCLK_2)	网络 RGMII_TXD1
U1H	B34	GPIOZ_12(DOWN)(ETH_A_TXD2_RGMII//TSIN_B_DIN6//SPI_B_SCLK//TDM_SCLK2)	网络 RGMII_TXD2
U1H	B35	GPIOZ_13(DOWN)(ETH_A_TXD3_RGMII//TSIN_B_DIN7//SPI_B_SS0//TDM_FS2)	网络 RGMII_TXD3
U1H	B45	GPIOZ_14(OD18_33_HIZ)(I2C_C_SDA)	网络 1G_2G5_PHY_INT
U1H	B30	GPIOZ_15(OD18_33_HIZ)(I2C_C_SCL)	网络 1G_2G5_PHY_RST
U1I	A32	VDDIO_B	接 VDDIO_1V8
U1I	B64	GPIOB_5(UP)(EMMC_D5//SPINF_D5)	网络 BOOT_D5
U1I	B10	GPIOB_12(UP)(NAND_CE0//SPINF_CS0)	网络 GPIOB_12，5TP5 TP10MIL
U1I	B9	GPIOB_13(UP)	网络 GPIOB_13，5TP6 TP10MIL；GPOB13 默认必须为高
U1I	B47	SARADC_CH0	板端 NC
U1I	B48	SARADC_CH3	板端 NC
U1I	A99	SARADC_CH2	网络 ADC_KEY，5TP7 TP10MIL
U1I	B49	SARADC_CH1	网络 HW_ID，5TP8 TP10MIL
U1J	A54	VDDIO_X	接 WIFI_VDDIO
U1J	A65	GPIOX_0(UP)(SDIO_D0//PDM_DIN0//TSIN_B_DIN0//I2C_I_SDA//TDM_D6//ISO7816_CLK//I3C_B_SDA_D1)	网络 WIFI_SDIO_D0
U1J	A64	GPIOX_1(UP)(SDIO_D1//PDM_DIN1//TSIN_B_SOP//I2C_I_SCL//TDM_D7//ISO7816_DATA//I3C_B_SDA_D0)	网络 WIFI_SDIO_D1
U1J	A66	GPIOX_2(UP)(SDIO_D2//PDM_DIN2//TSIN_B_VALID//I2C_H_SDA//TDM_FS1//TDM_D8//I3C_B_SCL)	网络 WIFI_SDIO_D2
U1J	A67	GPIOX_3(UP)(SDIO_D3//PDM_DIN3//TSIN_B_CLK//I2C_H_SCL//TDM_SCLK1//TDM_D9//I3C_B_SDA_D2)	网络 WIFI_SDIO_D3
U1J	A68	GPIOX_4(UP)(SDIO_CLK//PDM_DCLK//MCLK_1//I3C_B_SDA_D3)	网络 WIFI_SDIO_CLK
U1J	B73	GPIOX_5(UP)(SDIO_CMD//PWM_C//TDM_D4)	网络 WIFI_SDIO_CMD
U1J	B72	GPIOX_6(UP)(PWM_F//TDM_D5)	网络 WIFI_WAKE_HOST
U1J	B1	GPIOX_7(UP)(TDM_D1)	网络 BTPCM_DIN
U1J	A63	GPIOX_8(UP)(TDM_D0)	网络 BTPCM_DOUT
U1J	B74	GPIOX_9(UP)(TDM_FS0)	网络 BTPCM_SYNC
U1J	B2	GPIOX_10(UP)(TDM_SCLK0)	网络 BTPCM_CLK
U1J	A60	GPIOX_11(UP)(UART_A_TX)	网络 BT_UART_A_TX

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1J	A61	GPIOX_12(UP)(UART_A_RX)	网络 BT_UART_A_RX
U1J	A59	GPIOX_13(UP)(UART_A_CTS)	网络 BT_UART_A_CTS_N
U1J	A58	GPIOX_14(UP)(UART_A_RTS)	网络 BT_UART_A_RTS_N
U1J	A62	GPIOX_15(UP)(PWM_K)	网络 WIFI_32K
U1J	B3	GPIOX_16(UP)	网络 BT_WAKE_HOST
U1J	A55	GPIOX_17(HIZ)(PWM_H)	网络 HOST_WAKE_BT
U1K	A53	VDDIO_A	接 VDD3V1
U1K	A52	GPIOA_0(DOWN)(MCLK_1//RT_GPIO_19//ISO7816_CLK//TSIN_A_DIN0//ETH_B_MDIO)	网络 I2S_MCLK1
U1K	A45	GPIOA_1(DOWN)(TDM_SCLK1//RT_GPIO_20//ISO7816_DATA//TSIN_A_SOP//ETH_B_MDC)	网络 I2S_SCLK1
U1K	A46	GPIOA_2(DOWN)(TDM_FS1//RT_GPIO_21//TSIN_A_VALID//ETH_B_RGMII_RX_CLK)	网络 I2S_FSCLK1
U1K	B5	GPIOA_3(DOWN)(TDM_D2//RT_GPIO_22//I2C_G_SDA//TSIN_A_CLK//ETH_B_RX_DV)	网络 GPIOA_3
U1K	A51	GPIOA_4(DOWN)(TDM_D3//RT_GPIO_23//I2C_G_SCL//TSIN_B_SOP//TSIN_B_SOP//ETH_B_RXD0)	网络 GPIOA_4
U1K	A47	GPIOA_5(DOWN)(TDM_D4//RT_GPIO_24//I2C_E_SDA//TSIN_B_VALID//TSIN_B_VALID//ETH_B_RXD1)	网络 GPIOA_5
U1K	B4	GPIOA_6(DOWN)(TDM_D5//RT_GPIO_25//I2C_E_SCL//TSIN_B_DIN0//TSIN_B_DIN0//ETH_B_RXD2_RGMII)	网络 I2S_D5
U1K	B7	GPIOA_7(DOWN)(TDM_D6//ISO7816_CLK//TSIN_B_CLK//TSIN_B_CLK//ETH_B_RXD3_RGMII)	网络 I2S_D6
U1K	A43	GPIOA_8(DOWN)(TDM_D7//ISO7816_DATA//SPI_C_MOSI//TSIN_B_FAIL//PCIE_A_PRESET//ETH_B_RGMII_TX_CLK)	网络 I2S_D7
U1K	A44	GPIOA_9(DOWN)(TDM_D8//SPI_C_MISO//TSIN_B_DIN1//PCIE_B_PRESET//ETH_B_TXEN)	网络 GPIOA_9
U1K	B6	GPIOA_10(UP)(TDM_D9//PCIECK_A_REQN//SPI_C_SCLK//TSIN_B_DIN2//ETH_A_MDIO//ETH_B_TXD0)	网络 I2S_D9
U1K	A49	GPIOA_11(UP)(TDM_D10//PCIECK_B_REQN//SPI_C_SS0//TSIN_B_DIN3//ETH_A_MDC//ETH_B_TXD1)	网络 GPIOA_11
U1K	A50	GPIOA_12(DOWN)(TDM_D11//RT_GPIO_26//I2C_I_SDA//TSIN_B_DIN4//ETH_B_TXD2_RGMII)	网络 I2S_D11
U1K	A48	GPIOA_13(DOWN)(TDM_D12//RT_GPIO_27//I2C_I_SCL//TSIN_B_DIN5//I3C_B_SDA_D1//ETH_B_TXD3_RGMII)	网络 I2S_D12

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1K	A42	GPIOA_14(DOWN)(TDM_D13//RT_GPIO_28//I2C_D_SDA//I3C_B_SDA_D0)	网络 I2C_D_SDA
U1K	A41	GPIOA_15(DOWN)(TDM_D14//RT_GPIO_29//I2C_D_SCL//I3C_B_SCL//CARDDETECT)	网络 I2C_D_SCL
U1K	A38	GPIOA_16(DOWN)(MCLK_2//ISO7816_CLK//SPDIF_OUT//TSIN_B_DIN6//I3C_B_SDA_D2)	网络 I2S_MCLK2
U1K	A39	GPIOA_17(DOWN)(TDM_SCLK2//ISO7816_DATA//TSIN_B_DIN7//I3C_B_SDA_D3)	网络 I2S_SCLK2
U1K	B8	GPIOA_18(DOWN)(TDM_FS2//SPDIF_IN//CAN_A_TX//I3C_A_SDA)	网络 I2S_FSCLK2
U1K	A40	GPIOA_19(DOWN)(TDM_D15//CAN_A_RX//I3C_A_SCL)	网络 I2S_D15

表 D-4 U1L/U1M/U1N 引脚与网络定义

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1L	B46	VDDIO_M	接 VDDIO_1V8
U1L	B53	GPIOM_0(DOWN)(I2C_G_SDA//UART_D_CTS//PDM_DIN0//TDM_D9//SPI_C_MOSI)	网络 CMA_I2C_G_SDA
U1L	B54	GPIOM_1(DOWN)(I2C_G_SCL//UART_D_RTS//PDM_DCLK//TDM_D10//SPI_C_MISO)	网络 CMA_I2C_G_SCL
U1L	B52	GPIOM_2(DOWN)(I2C_E_SDA//UART_D_TX//PDM_DIN1//TDM_D11//SPI_C_SCLK)	网络 CMA_RST_L
U1L	B51	GPIOM_3(DOWN)(I2C_E_SCL//UART_D_RX//PDM_DIN2//MCLK_2//SPI_C_SS0)	网络 CMA_PWRDN
U1L	B55	GPIOM_4(DOWN)(I2C_F_SDA//UART_F_TX//PDM_DIN3//TDM_SCLK2//PWM_J)	网络 CMC_RST_L
U1L	B58	GPIOM_5(DOWN)(I2C_F_SCL//UART_F_RX//PCIECK_B_REQN//TDM_FS2//PWM_VS)	网络 CMC_PWRDN
U1L	B56	GPIOM_6(DOWN)(I2C_H_SDA//UART_F_CTS//DP_HPD//TDM_D14//VX1_LOCKN)	网络 CMC_I2C_H_SDA
U1L	B57	GPIOM_7(DOWN)(I2C_H_SCL//UART_F_RTS//EDP_HPD//TDM_D15//VX1_HTPDN)	网络 CMC_I2C_H_SCL
U1M	A91	VDDIO_Y	接 VDD3V1
U1M	B71	GPIOY_0(DOWN)(PWM_N//PCIECK_A_REQN//PDM_DIN0//TDM_D2//RT_GPIO_30)	网络 PANEL_A_BL_EN
U1M	B70	GPIOY_1(UP)(PWM_I//PCIECK_B_REQN//PDM_DCLK//TDM_D3//RT_GPIO_31)	网络 PANEL_A_BL_PWM_I
U1M	B69	GPIOY_2(DOWN)(PWM_K//PCIE_A_PRESET//PDM_DIN1//TDM_FS1//RT_GPIO_32)	网络 PANEL_A_RST
U1M	B68	GPIOY_3(DOWN)(PWM_L//PCIE_B_PRESET//PDM_DIN2//TDM_SCLK1//SPDIF_IN)	网络 PANEL_A_VDD_EN

封装	BGA 球号	信号名称（含复用）	板级连接 / 备注
U1M	B65	GPIOY_4(DOWN)(PWM_M//PDM_DIN3//MCLK_1//SPDIF_OUT)	网络 PANEL_B_BL_EN
U1M	B66	GPIOY_5(UP)(PWM_J//I2C_E_SDA//TDM_D4//RT_GPIO_33)	网络 PANEL_B_BL_PWM_J
U1M	B67	GPIOY_6(DOWN)(PWM_VS//I2C_E_SCL//TDM_D5//RT_GPIO_34)	网络 PANEL_B_RST
U1M	B50	GPIOY_7(DOWN)(VX1_LOCKN//TDM_D6//RT_GPIO_35)	网络 PANEL_B_VDD_EN_VX1_LOCKN
U1M	A89	GPIOY_8(UP)(DP_HPD//I2C_I_SDA//TDM_D7//RT_GPIO_36)	网络 GPIOY_8
U1M	A90	GPIOY_9(UP)(VX1_HTPDN//EDP_HPD//I2C_I_SCL//TDM_D8//RT_GPIO_37)	网络 eDP_HPD_VX1_HPD
U1N	A18	NC1	板端 NC
U1N	A29	NC2	板端 NC
U1N	A30	NC3	板端 NC
U1N	A32	NC4	板端 NC
U1N	A25	NC9	板端 NC
U1N	A26	NC10	板端 NC
U1N	A19	NC14	板端 NC
U1N	A20	NC21	板端 NC
U1N	A21	NC22	板端 NC
U1N	A23	NC23	板端 NC
U1N	A24	NC24	板端 NC
U1N	A28	NC25	板端 NC
U1N	A17	DVSS	接 GND
U1N	A22	DVSS	接 GND
U1N	A27	DVSS	接 GND
U1N	A31	DVSS	接 GND
U1N	A35	DVSS	接 GND
U1N	A36	DVSS	接 GND
U1N	B11	DVSS	接 GND
U1N	B12	DVSS	接 GND
U1N	B13	DVSS	接 GND
U1N	B26	DVSS	接 GND
U1N	B36	DVSS	接 GND
U1N	B38	DVSS	接 GND
U1N	G1	DVSS1	接 GND
U1N	G2	DVSS1	接 GND
U1N	G3	DVSS1	接 GND
U1N	G4	DVSS1	接 GND